

图书基本信息

书名：<<Nios II系统开发设计与应用实例>>

13位ISBN编号：9787810779913

10位ISBN编号：7810779915

出版时间：2007-8

出版时间：北航大学

作者：孙恺

页数：316

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

内容概要

本书介绍了使用Altera公司SOPC Builder、Nios II IDE等软件建立以Nios II处理器为核心的嵌入式系统的方法以及Nios II的高级使用技巧。

内容包括FPGA/CPLD开发基础，Altera FPGA/CPLD的结构，Quartus II的基本应用，Quartus II辅助设计工具的应用，ModelSim SE的基本应用，Nios II处理器，Avalon总线规范，Nios II系统开发设计基础，Nios II系统设计基础开发实例，Nios II系统设计综合提高实例，基于嵌入式操作系统的Nios II系统设计与应用等。

本书适合高等院校相关专业的本科高年级、研究生以及SOPC技术应用开发人员阅读参考。

书籍目录

第一部 分芯片器件与开发工具	第1章	FPGA/CPLD开发基础	1.1	FPGA/CPLD概述	1.1.1
		FPGA/CPLD与EDA、ASIC技术	1.1.2	FPGA/CPLD与SOPC/SOC	1.2
		FPGA/CPLD硬件体系结构	1.2.1	FPGA体系结构	1.2.2
			1.2.2	CPLD体系结构	1.2.3
			1.2.3	FPGA和CPLD的比较	
	1.3	FPGA/CPLD的开发流程	1.4	FPGA/CPLD的常用开发工具	第2章
		FPGA/CPLD的结构	2.1	Altera高密度FPGA	2.2
			2.1	Altera低成本FPGA	2.2.1
		本FPGA——Cyclone	2.2.2	新一代低成本FPGA——CycloneII	第3章
		应用	3.1	Quartus II软件的用户界面	3.2
			3.2	设计输入	3.3
			3.3	综合	3.4
			3.4	布局布线	3.5
			3.5	仿真	3.6
			3.6	编程与配置	第4章
			4.1	Quartus II辅助设计工具的应用	4.1
			4.1	定制元件工具MegaWizard Plug?In Manager的使用	4.1.1
			4.1.1	IP核简介	4.1.2
			4.1.2	基本宏单元的定制	
	4.2	RTL阅读器	4.2.1	JRTL阅读器简介	4.2.2
			4.2.1	RTL阅读器用户界面	4.2.3
			4.2.2	原理图的分页和模块层次的切换	4.2.4
			4.2.3	使用RTL阅读器分析设计中的问题	4.3
			4.2.4	SignalTapII逻辑分析仪	
	4.4	时序收敛平面布局规划器 (Timing Closure Floorplan)	4.4.1	使用Timing Closure Floorplan分析设计	4.4.2
			4.4.1	使用Timing Closure Floorplan优化设计	4.5
			4.4.2	Chip Editor底层编辑器	4.5.1
			4.5.1	Chip Editor功能简介	4.5.2
			4.5.2	使用Chip Editor的设计流程	
			4.5.3	Chip Editor视图	4.5.4
			4.5.3	资源特性编辑器	4.5.5
			4.5.4	Chip Editor一般应用	4.6
			4.5.5	时钟管理	4.6.1
			4.6.1	时序问题	4.6.2
			4.6.2	锁相环应用	4.7
			4.6.2	片外高速存储器	4.8
			4.7	时序约束与时序分析	4.9
			4.8	设计优化	第5章
			4.9	odelSim SE的基本应用	第二部分
			第5章	Nios II理论基础	第6章
			第6章	Nios II处理器	第7章
			第7章	Avalon总线规范	第8章
			第8章	Nios II系统开发设计基础	第9章
			第9章	Nios II系统设计基础	开发实例初级篇
			第10章	Nios II系统设计综合提高实例	中级篇
			第10章	Nios II系统设计与应用	高级篇
			第11章	参考文献	

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>