

<<CPU/SOC及外围电路应用设计>>

图书基本信息

书名：<<CPU/SOC及外围电路应用设计>>

13位ISBN编号：9787810774321

10位ISBN编号：7810774328

出版时间：2004-7

出版时间：北京航空航天大学出版社

作者：林容益

页数：510

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

前言

现代数字电路的发展速度很快，尤其是高速度大容量的可编程逻辑元件装置不断的推陈出新，对应延时为200万门纳秒，采用0.13 μm技术的PLD元件不断的开发推出，使得数字电路规划设计及实现相当简洁方便。

各种高速外围如VGA显示器、PCIBus、MAC网络、USB、I2C、SCI等等外围接口的规划设计或芯片化的合成都显得一蹴可及。

尤其对简易8位或16位单片机结构设计与发展，进而对于32位高功能的CPU开发设计，采用这种高集成度的CPLD / FPGA搭配各种高性能开发纠错软件的方法，是开始电子技术扎根的必要开发技术，因而成为主要的发展目标。

数字通信、医疗影像、数字电视、高传真多声道数字音响AC3、MPEG3 / 4、语音压缩解压缩、数字影像处理、辨识系统、雷达声纳、地震检测分析、各种矿产探勘等，以及工业控制、电力控制等，这些领域都可以采用数字信号处理技术。

举一个很明显的例子，若要将类似的影音加以压缩是难以实现的或许会相当麻烦，但是转成数字信号后，就可根据数码格式加以分析运算来压缩数据进行保存或交流。

这样不但节省空间时间，且可采用数字滤波器使得干扰性较少。

这些应用领域都采取了数字信号控制处理的技术，其特有的数学演算技巧，都是DSP处理器的重要提升领域，但在哪个频率范围开始跨入数字化处理呢？

若是以一般MCU来串行处理最多也仅可达到1MHz的信号，高于此频率则需要大量的硬件来平行运算处理。

<<CPU/SOC及外围电路应用设计>>

内容概要

《CPU/SOC及外围电路应用设计：基于FPGA/CPLD》详尽介绍了简易8位CPU（含RISC）架构体系开发、设计及模拟测试的方法，各种CPU的外围设计模拟测试和CPU连接架构成单片机及SOC的方法。

同时也对现代高速16 / 32位CPU架构体系开发测试和实例以及现代SOPC发展平台作了详尽的介绍分析，并配有例题程序光盘一张，方便读者学习使用。

《Java应用开发教程》可作为电子、电机、计算机、控制等专业的学生和从事VLSI、CPU、SOC芯片设计应用的科研人员的参考用书。

书籍目录

第1章 简单片机结构及其开发模拟测试1.1 CPLD设置CPU的HDL描述硬件结构说明1.1.1 CPLD设置CPU的HDL使用LPM模块简介1.1.2 CPLD设置CPU的HDL使用寄存器简介1.1.3 程序存储器的设置设计及取指(Fetch)1.1.4 程序存储器的取指(Fetch)1.1.5 CPU内部寄存器及数据的运算控制示意图1.1.6 CPU的HDL描述I/O设置及PROM设置控制1.1.7 RISC CPU3 . TDF完整电路描述1.2 RISC CPU3 . TDF、电路测试及模拟1.3 RISC CPU3结构特性讨论1.4 流水线处理结构的高速RISC CPU4简介1.4.1 RISC CPU4流水线的指令取指Fetch / Dec解码1.4.2 RISC CPU4流水线的运算单元读取及解码(OP / RD)电路1.4.3 RISC CPU4流水线解码(OP / RD)控制信号输出电路1.4.4 RISC CPU4流水线执行EXE控制电路1.4.5 RISC CPU4流水线完整电路描述1.4.6 RISC CPU4流水线电路功能的模拟检测1.4.7 数据相依冒险的自动检测处理1.4.8 实例1.4.9 结论第2章 灵活性指令码的单片机结构及开发模拟测试2.1 16位PD程序存储器44个精简指令RISC单片机指令结构简介2.2 44个精简指令RISC单片机的I/O构建及其与CPU的连接简介2.2.1 16位具输入比较和捕捉功能的计数计时器CTC2.2.2 12位的脉冲宽调变PWM外围电路2.2.3 PPIO外围电路及CNTPI6和PWMI2对应I/O寄存器寻址联结控制2.2.4 中断的处理及连接2.3 具有相当功能的单片机RISC CPU8电路设计与描述2.3.1 RISC CPU8 . TDF的ALU运算处理2.3.2 RISC CPU8.TDF的解码及控制Control信号运算处理2.3.3 RISC CPU8 . TDF的程序转移及寄存器数据回写WB运算处理2.4 RISC CPU8 . TDF、的完整程序描述处理2.5 RISC CPU8 . TDF、的程序编写及模拟测试件库2.6 RISC CPU8 . TDF的程序编写及实例测试2.6.1 EPIK50TCI44.3 主机板和SNCPDLDE3测试实验器介绍2.6.2 RISC CPU8的程序编写及实例测试第3章 SOC及强化外围的单片机结构和开发模拟测试3.1 SOC强化外围模块电路精简指令RISC单片机简介3.2 硬件乘除法器及外加存储器的读写设置及连接和模拟测试3.2.1 硬件乘除法器的设计设置及连接3.2.2 外加存储器的读写控制设置及连接3.2.3 乘除法器及外加存储器的读写模拟测试3.2.4 精简指令RISC CPUA的整体架构3.2.5 讨论3.3 键盘扫描及7段LED显示和LCD字形显示器接口电路3.3.1 硬件键盘扫描接口电路的设计3.3.2 4位7段LED扫描显示及硬件键盘扫描接口电路的连接3.3.3 LCD显示模块的驱动接口电路及其连接3.4 简易的VGA屏幕显示控制接口电路3.4.1 简易的色条产生器(ColorBarGenerator)3.4.2 简易的字形显示器(CharacterGenerator)3.5 简易串行非同步UART接口电路3.5.1 波特率产生器(BaudrateGenerato)3.5.2 UARI、的发送TFX控制电路3.5.3 UART的接收RX控制电路3.5.4 UART的整合电路3.6 IC串行同步传输电路3.7 SCI串行同步传输电路3.8 模拟比较器3.9 ADC转换电路3.1 0高速的ADC转换读取及寄存3.1 0.1 ADC的转换及读取控制设置3.1 0.2 ADC转换读取并予解码扫描显示于7段LED的控制3.1 0.3 高速的ADC纪录储存后予以输出显示控制3.1 1电路的测试及实例3.1 2结论第4章 JTAG及DMA和QEP。DB死区接口电路4.1 JTAG接口电路简介4.1.1 JTAG的边界电路扫描(BoundaryScan)4.1.2 JTAG的电路结构4.1.3 简易的JTAG的电路结构设计及模拟4.2 直接存储器读写DMA(Direct Memory Access)接口电路4.3 四象限编码器QEP检测及死区(Dead Band)控制接口电路4.3.1 四象限编码器QEP(Quard Encoder Port)检测4.3.2 死区(Dead . Band)控制设置电路4.3.3 四象限编码器QEP(QuarId Encoder Port)检测计数接口电路4.4 实验测试与实例第5章 通用型单片机指令架构分析及特性简介5.1 通用型单片机5.2 改良型8051单片机系列5.3 强化型RISC AVR单片机系列5.4 全世界8位MCU居于第二位的PIC系列产品5.4.1 含有模拟放大器OPA及DAC接口的特殊PIC单片机5.4.2 含有CAN及ADC , PWM控制运算的MCU单片机5.4.3 具有DSP的运算的DSP MCU单片机5.5 TI单片机MSP430芯片系列5.5.1 MSP430F14X的电路结构简介5.5.2 MSP430F14X的指令模态结构简介5.5.3 MSP430F14X特殊外围电路简介5.6 DSP单片机龙头TI的TMS320C54X系列5.6.1 TMS320C542的CPU结构5.6.2 TMS320C542寻址模式及其对应数据转载指令格式分析和分类5.6.3 TMS320C54X的流水线(Pipeline)指令运算5.6.4 TMS320C54X的外围电路5.6.5 一个好的DSP开发软件5.7 新加坡商Cypress的第一个含有LISB外围单片机5.7.1 USB接口简介5.7.2 新加坡Cypress的PSoC单片机5.8 专为机电控制的TMS320F24XDSP单片机简介5.9 练习第6章 多重周期CPU的架构设计开发及模拟测试6.1 SMCU的架构设计设置及模拟测试6.2 实际SMCU的40个指令以VHDL设计设置6.3 实际SMCU的测试程序编辑及其对应模拟波形6.4 SMCU6的综合讨论6.5 加入一个16位乘或除16位运算的CPU6.5.1 以MAXPLUS2的MegaWinzardPlug.InManager建立乘除法器元6.5.2 引入乘除法器的电路描述6.5.3 引入乘除法器的电路模拟及测试6.6 讨论及实例第7章 MIPS单一执行周期CPU架构设计设置及模拟测试7.1 MIPS CPU的指令架构说明7.2 简化的MIPS CPU架构设计描述7.2.1 Fetch取指指令运算描述7.2.2

<<CPU/SOC及外围电路应用设计>>

Decode指令解码运算描述7.2.3 Control控制信号的解码输出描述7.2.4 Dmemory数据寄存器的读写控制描述7.2.5 指令执行Exe的执行描述7.2.6 完整的简化MIPS结构描述7.3 测试程序的编写7.4 在MAXPLUS2的波形编辑模拟环境下作指令执行检测7.5 练习和实例第8章 流水线MIPS设计及转移冒险的处理和测试8.1 简介8.2 MIPS流水线处理及设计描述8.2.1 MIPS流水线的取指Fetch及程序计数器PC的运算8.2.2 MIPS流水线的指令解码ID及寄存器内容的读写8.2.3 MIPS流水线的指令控制信号Control输出电路设计描述8.2.4 MIPS流水线的指令执行。Execute电路设计描述8.2.5 MIPS流水线的数据存储器的读写控制Dmemoryp电路设计描述8.2.6 MIPS流水线的整合描述MIPS2T . VHD的电路设计描述8.3 MIPS流水线CPU的功能模拟及检测8.4 流水线对应于数据序执行所产生的数据冒险(Hazard)8.5 流水线数据冒险(Hazard)自动处理的电路结构描述及检测8.5.1 在第4层的数据存储器读出LW运算流水线数据冒险自动处理8.5.2 如LW运算流水线数据冒险的STALL寄存运算模拟测试8.6 练习与实例第9章 32位存储器及寄存器的流水线MIPS结构9.1 32位存储器及寄存器的流水线MIPS简介9.1.1 取指的IFETCH2TIT4 . VHD的修改9.1.2 指令解码及寄存器的数据读写IDECODTT4 . VHD的修改9.1.3 数据存储器读写DMEMORYT4 . VHD的修改第10章 高级MCU结构分析及ARM简介

<<CPU/SOC及外围电路应用设计>>

编辑推荐

FPGA / CPLD研发，CPU及单片机等深入浅出的模拟测试和实例。
RISC CPU的构架设计和冒险处理详细模拟测试和实例。

CTC、PWM、GPIO、I2C、SCI、VGA、QEP等外围硬件设计CPU、UART的连接。
高速16 / 32位CPU架构研发，测试实例及SOPC系统整合发展。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>