

<<Verilog数字系统设计教程>>

图书基本信息

书名：<<Verilog数字系统设计教程>>

13位ISBN编号：9787810773027

10位ISBN编号：781077302X

出版时间：2003-7-1

出版时间：北京航空航天大学出版社

作者：夏宇闻

页数：469

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<Verilog数字系统设计教程>>

内容概要

本书讲述了自20世纪90年代开始在美国和其他先进的工业国家逐步推广的利用硬件描述语言（Verilog HDL）建模、仿真和综合的设计复杂数字逻辑电路与系统的方法和技术。本书从算法和计算的基本概念出发，把复杂的算法逐步分解成简单的操作步骤，讲述最终如何由硬线逻辑电路来实现复杂的数字逻辑系统。

全书共分四部分，另加一个附录。

第一部分为初级篇，共8讲；第二部分为中级篇，共10讲；第三部分为实践篇，共12个实验例选。最后一部分是 Verilog 硬件描述语言参考手册，即语法篇，供学习、查询之用。

书中突破传统的章节结构，以“学时”为单位，以“讲授”为形式，将Verilog HDL知识由浅入深、由简单到复杂、由典型到一般的循序渐进方法，一步步地传授给读者，使大学电子类及计算机工程类本科及研究生，以及相关领域的设计工程人员可以从中掌握Verilog HDL技术，把我国的IC设计、复杂数字系统设计推向一个全新的高度。

本书可作为电子工程类、自动控制类、计算机类的大学本科高年级及研究生教学用书，亦可供其他工程人员自学与参考。

<<Verilog数字系统设计教程>>

书籍目录

第一部分 初级篇第一讲 Verilog的基本知识1.1 硬件描述语言HDL1.2 Verilog HDL的历史1.3 Verilog HDL和VHDL的比较1.4 Verilog 目前的应用情况和适用的设计1.5 采用Verilog HDL设计复杂数字电路的优点1.6 Verilog HDL的设计流程简介1.7 小结思考题第二讲 Verilog语法的基本概念概述2.1 Verilog模块的基本概念2.2 Verilog用于模块的测试2.3 小结思考题第三讲 常用Verilog语法之一概述3.1 模块的结构3.2 数据类型及其常量及变量3.3 运算符及表达式思考题第四讲 常用Verilog语法之二概述4.1 逻辑运算符4.2 关系运算符4.3 等式运算符4.4 移位运算符4.5 位拼接运算符4.6 缩减运算符4.7 优先级4.8 关键词4.9 赋值语句和块语句4.10 小结思考题第五讲 常用Verilog语法之三概述5.1 条件语句5.2 循环语句5.3 小结思考题第六讲 常用Verilog语法之四概述6.1 结构说明语句6.2 task和function说明语句6.3 系统函数和任务6.4 小结思考题第七讲 常用Verilog语法之五概述7.1 系统任务\$monitor7.2 时间度量系统函数\$time7.3 系统任务\$finish7.4 系统任务\$stop7.5 系统任务\$readmemb和\$readmemh7.6 系统任务 \$random7.7 编译预处理7.8 小结思考题第八讲 常用Verilog语法总结概述第二部分 中级篇第一讲 Verilog HDL模型的不同抽象级别概述1.1 门级结构描述1.2 Verilog HDL的行为描述建模1.3 用户定义的原语1.4 小结思考题第二讲 如何编写和验证简单的纯组合逻辑模块概述2.1 加法器2.2 乘法器2.3 比较器2.4 多路器2.5 总线和总线操作2.6 流水线小结思考题第三讲 复杂数字系统的构成概述3.1 运算部件和数据流动的控制逻辑3.2 在Verilog HDL设计中启用同步时序逻辑思考题第四讲 同步状态机的原理、结构和设计概述4.1 状态机的结构4.2 Mealy状态机和Moore状态机的不同点4.3 如何用Verilog来描述可综合的状态机思考题第五讲 设计可综合的状态机的指导原则概述5.1 用Verilog HDL语言设计可综合的状态机的指导原则5.2 典型的状态机实例5.3 综合的一般原则5.4 语言指导原则5.5 可综合风格的Verilog HDL模块实例5.6 状态机的置位与复位小结思考题第六讲 深入理解阻塞和非阻塞赋值的不同概述6.1 深入理解阻塞和非阻塞赋值的不同6.2 Verilog模块编程要点6.3 Verilog的层次化事件队列6.4 自触发always块6.5 移位寄存器模型6.6 阻塞赋值及一些简单的例子6.7 时序反馈移位寄存器建模6.8 组合逻辑建模时应使用阻塞赋值6.9 时序和组合的混合逻辑——使用非阻塞赋值6.10 其他阻塞和非阻塞混合使用的原则6.11 对同一变量进行多次赋值6.12 常见的对于非阻塞赋值的误解6.13 小结思考题第七讲 较复杂时序逻辑电路设计实践概述总结思考题第八讲 I2C总线接口模块的设计概述总结思考题第九讲 简化的 RISC_CPU设计概述9.1 课题的由来和设计环境介绍9.2 什么是CPU9.3 RISC_CPU结构9.4 RISC_CPU 操作和时序9.5 RISC_CPU寻址方式和指令系统9.6 RISC_CPU模块的调试小结思考题第十讲 虚拟器件、虚拟接口模型及其在大型数字系统设计中的作用概述10.1 软核和硬核、宏单元及虚拟器件和接口10.2 虚拟器件和虚拟接口模块的供应商10.3 虚拟模块的设计10.4 虚拟接口模块的实例小结思考题第三部分 实践篇设计示范和上机习题概述练习一 简单的组合逻辑设计练习二 简单分频时序逻辑电路的设计练习三 利用条件语句实现计数分频时序电路练习四 阻塞赋值与非阻塞赋值的区别练习五 用always块实现较复杂的组合逻辑电路练习六 在Verilog HDL中使用函数练习七 在Verilog HDL中使用任务 (task) 练习八 利用有限状态机进行时序逻辑的设计练习九 利用状态机实现比较复杂的接口设计练习十 通过模块实例调用实现大型系统的设计练习十一 简单卷积器的设计练习十二 利用SRAM设计一个FIFO第四部分 语法篇关于Verilog HDL的说明一、关于IEEE 1364标准二、Verilog简介三、语法总结四、编写Verilog HDL源代码的标准五、设计流程Verilog硬件描述语言参考手册一、Verilog HDL语句与常用标志符 (按字母顺序排列) 二、系统任务和函数 (System task and function) 三、常用系统任务和函数的详细使用说明四、Command Line Options 命令行的可选项

<<Verilog数字系统设计教程>>

编辑推荐

《Verilog数字系统设计教程》可作为电子工程类、自动控制类、计算机类的大学本科高年级及研究生教学用书，亦可供其他工程人员自学与参考。

<<Verilog数字系统设计教程>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>