

<<可编程逻辑电路设计基础教程>>

图书基本信息

书名：<<可编程逻辑电路设计基础教程>>

13位ISBN编号：9787512408418

10位ISBN编号：7512408412

出版时间：2012-8

出版时间：北京航空航天大学出版社

作者：周立功

页数：208

字数：352000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## <<可编程逻辑电路设计基础教程>>

### 内容概要

刘银华、夏宇闻编写的《可编程逻辑电路设计基础教程》从FPGA初学者角度出发，通过项目驱动的方法融合FPGA相关知识点。

主要包括三部分内容：第一部分为第1~3章，介绍FPGA基础知识，包括FPGA的发展历程、设计流程及特色；深入剖析FPGA内部结构，以Flash架构FPGA为例，从最底层的基本结构到复杂的片内外设，进行深入浅出的介绍。

第二部分为第4章，详细介绍FPGA的编程语言——Verilog HDL，通过浅显易懂的方式让读者对Verilog HDL编程语言进行全方位掌握。

第三部分为第5、6章，分别介绍基于FPGA的常用IP和DIY创新的应用实例。

《可编程逻辑电路设计基础教程》强调理论与实践相结合，通过本书学习，读者不仅可以掌握FPGA和Verilog HDL编程语言的基本知识，而且通过大量实例，能够将理论知识运用到具体设计实践中，达到学以致用的目的。

作者配套本书会陆续发行各种设计实例、视频教程、授课PPT等，力求将FPGA的入门变得很容易。

《可编程逻辑电路设计基础教程》适用于高等院校本科、高职高专的电子信息工程、自动化、机电一体化、计算机等专业的教材，也可作为FPGA设计初学者、FPGA工程师的参考用书。

书籍目录

第1章 FPGA基础知识

1.1 FPGA与数字电路

1.1.1 用原理图来实现数字电路

1.1.2 用HDL语言来实现数字电路

1.2.1 FPGA发展历程

1.2.1 集成电路

1.2.2 PLD简介

1.2.3 复杂的PLD

1.2.4 基于Flash架构的FPGA的特点

1.3 FPGA设计流程

1.3.1 设计输入

1.3.2 功能仿真

1.3.3 HDL综合

1.3.4 综合后仿真

1.3.5 布局布线

1.3.6 后仿真

1.3.7 编程下载 / 调试

1.4 Microsemi FPGA的特色

1.4.1 ProASIC3系列

1.4.2 IGLOO系列

1.4.3 Fusion系列

1.4.4 SmartFusion系列

第2章 FPGA基本结构

2.1 FPGA的基本编程原理

2.2 基本逻辑单元

2.2.1 Flash架构的开关

2.2.2 基本的库单元

2.2.3 最小逻辑单元

2.3 布线资源

2.3.1 超快速的局部连线资源

2.3.2 有效的长线资源

2.3.3 高速的超长线资源

2.3.4 高性能的全局网络

2.4 I / O结构

2.4.1 I / O缓冲器

2.4.2 I / O寄存器

2.4.3 输出斜率控制

2.4.4 斯密特触发器

2.4.5 ESD保护

2.4.6 I / O命名规则

第3章 FPGA片内外设

3.1 片内SRAM

3.1.1 SRAM的原理

3.1.2 SRAM的资源及使用

3.1.3 SRAM的操作模式

## <<可编程逻辑电路设计基础教程>>

### 3.2 片内FIFO

#### 3.2.1 FIFO的原理

#### 3.2.2 FIFO的特点及应用

### 3.3 时钟调整电路与模拟锁相环

#### 3.3.1 CCC的原理

#### 3.3.2 PLL的原理

#### 3.3.3 CCC / PLL的资源分布

### 3.4 Flash ROM

#### 3.4.1 Flash ROM的原理

#### 3.4.2 Flash ROM的资源

### 3.5 Flash Memory

#### 3.5.1 Flash Memory的存储原理

#### 3.5.2 Flash Memory的资源与操作

### 3.6 时钟资源

#### 3.6.1 RC振荡器的原理

#### 3.6.2 晶体振荡器的原理

#### 3.6.3 实时定时器的原理

### 3.7 模拟模块

#### 3.7.1 ADC的工作原理

#### 3.7.2 ACM的配置原理

#### 3.7.3 预处理器的原理

#### 3.7.4 应用

## 第4章 Verilog HDL基础语法

### 4.1 Verilog HDL基本知识

#### 4.1.1 什么是硬件描述语言

#### 4.1.2 Verilog HDL的发展历程

#### 4.1.3 Verilog HDL与VHDL的对比

#### 4.1.4 Verilog HDL的应用情况及适用范围

### 4.2 Verilog HDL基本语法一

#### 4.2.1 基本概念

#### 4.2.2 模块的结构

#### 4.2.3 数据类型

#### 4.2.4 小结

### 4.3 Verilog HDL基本语法二

#### 4.3.1 逻辑运算符

#### 4.3.2 关系运算符

#### 4.3.3 等式运算符

#### 4.3.4 移位运算符

#### 4.3.5 位拼接运算符

#### 4.3.6 缩减运算符

#### 4.3.7 优先级别

#### 4.3.8 关键词

#### 4.3.9 赋值语句和块语句

#### 4.3.10 小结

### 4.4 Verilog HDL基本语法三

#### 4.4.1 条件语句

#### 4.4.2 循环语句

## <<可编程逻辑电路设计基础教程>>

4.4.3 顺序块和并行块

4.4.4 生成块

4.4.5 小结

4.5 Verilog HDL基本语法四

4.5.1 结构说明语句

4.5.2 task和function说明语句

4.5.3 小结

4.6 Verilog HDL基本语法五

4.6.1 系统任务\$display和\$write

4.6.2 系统任务\$fopen

4.6.3 系统任务%m

4.6.4 系统任务\$dumppfile

4.6.5 系统任务\$monitor

4.6.6 系统任务\$strobe

4.6.7 系统任务\$time

4.6.8 系统任务\$finish

4.6.9 系统任务\$stop

4.6.10 系统任务\$readmemb和\$readmemh

4.6.11 系统任务\$random

4.6.12 编译预处理

4.6.13 其他系统任务

4.6.14 小结

第5章 常用IP设计

5.1 基于MCU的IP设计

5.2 UART、的IP设计

5.2.1 UART协议介绍

5.2.2 UART应用举例

5.2.3 具体实现

5.3 SPI的IP设计

5.3.1 SPI协议介绍

5.3.2 SPI主机实现

5.3.3 SPI从机实现

5.4 I2C的IP设计

5.4.1 I2C协议介绍

5.4.2 I2C应用举例

5.4.3 具体实现

第6章 DIY创新应用设计

6.1 矩阵键盘管理设计

6.1.1 设计任务

6.1.2 设计要求

6.1.3 实现原理

6.2 开平方算法设计

6.2.1设计任务

6.2.2设计要求

6.2.3 实现原理

6.3 同步FIFO设计

6.3.1 设计任务

6.3.2 设计要求

6.3.3 实现原理

参考文献

## &lt;&lt;可编程逻辑电路设计基础教程&gt;&gt;

## 章节摘录

版权页：插图：前面几章介绍了FPGA相关的基础知识，从本章开始进入实战练习。

我们将从最基本的IP设计开始，从原理到代码实现，详细介绍常用IP的设计方法。

这些常用IP不仅可以单独使用，定制为一个专用芯片，而且也可以作为MCU的外设使用，定制为用户专用的MCU。

因此，学会FPGA的IP设计方法，有助于理解FPGA与IC设计之间的关系，更深刻地理解FPGA所能应用的范围。

IP ( Intellectual Property ) 就是通常所说的知识产权。

FPGA设计中的IP指的是将一些在设计中常用，但比较复杂的功能块，如FIR滤波器、SDRAM控制器、PCI接口等设计成可参数修改的模块，用户可以直接调用这些模块进行设计。

IP的重用可以大大缩短产品的设计周期，加快产品上市的速度，还可以降低产品开发的难度和成本、提高产品的性能。

因此，使用IP是电子设计的一种发展趋势。

根据IP最终交付给用户的方式不同，形成了3类IP核：软核、固核和硬核。

软核是用Verilog HDL等硬件描述语言描述的功能模块，它并不涉及用什么具体电路元件实现这些功能。

软核的设计周期在3类IP核当中是最短的，同时设计投入也是最少的。

因为软核不涉及最终实现的物理硬件，所以它给用户提供了很大的发展空间，给IP的应用增加了更多的灵活性和适应性，同时，软核的复用性最好。

但是，正是因为软核没有涉及实现的物理硬件，在应用的后续工作中可能需要对其进行一定的修正，在性能上软核也没有得到充分的优化。

硬核提供给用户的是设计最终阶段的产品--掩膜，以经过完全的布局布线的网表形式提供。

这种硬核既具有可预见性，同时还可以针对特定工艺或购买商的需求进行功耗和尺寸上的优化。

尽管硬核由于缺乏灵活性而导致可移植性差，但由于无须提供寄存器传输级 ( RTL ) 文件，因而更易于实现IP保护。

固核则是软核和硬核的折中，以网表的形式提供。

对于那些对时序要求严格的内核 ( 如PCI接口内核 ) ，可以预布线特定信号或分配特定的布线资源，以满足时序要求。

这些内核可归类为固核。

近年来电路实现工艺技术的发展相当迅速，为了积累逻辑电路设计成果，以及更好、更快地设计更大规模的电路，发展软核的设计和推广软核的重用技术是非常有必要的。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>