

<<EDA技术及应用>>

图书基本信息

书名：<<EDA技术及应用>>

13位ISBN编号：9787302312604

10位ISBN编号：7302312605

出版时间：2013-3

出版时间：朱正伟、王其红、韩学超 清华大学出版社 (2013-03出版)

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<EDA技术及应用>>

内容概要

<<EDA技术及应用>>

书籍目录

第1章EDA技术概述 1.1 EDA技术及其发展 1.1.1 EDA技术含义 1.1.2 EDA技术的发展历程 1.1.3 EDA技术的基本特征 1.2 EDA技术的实现目标与ASIC设计 1.2.1 EDA技术的实现目标 1.2.2 ASIC的特点与分类 1.2.3 ASIC的设计方法 1.2.4 IP核复用技术与SOC设计 1.3 硬件描述语言 1.3.1 VHDL 1.3.2 Verilog HDL 1.3.3 ABEL—HDL 1.3.4 VHDL和Verilog HDL的比较 1.4 常用EDA工具 1.4.1 设计输入编辑器 1.4.2 综合器 1.4.3 仿真器 1.4.4 适配器 1.4.5 编程下载 1.5 EDA的工程设计流程 1.5.1 设计输入 1.5.2 综合 1.5.3 适配 1.5.4 时序仿真与功能仿真 1.5.5 编程下载 1.5.6 硬件测试 1.6 MAX+plus 集成开发环境 1.6.1 MAX+plus 简介 1.6.2 软件的安装 1.6.3 软件组成 1.6.4 设计流程 1.7 Quartus 集成开发环境 1.7.1 Quartus 简介 1.7.2 Quartus 9.0 软件的安装 1.7.3 Quartus 9.0 图形用户界面介绍 1.8 EDA技术发展趋势 思考题与习题 第2章可编程逻辑器件 2.1 可编程逻辑器件概述 2.1.1 PLD发展历程 2.1.2 目前流行可编程器件的特点 2.1.3 可编程逻辑器件的基本结构和分类 2.1.4 PLD相对于MCU的优势所在 2.2 CPLD的结构与工作原理 2.2.1 CPLD的基本结构 2.2.2 Ahera公司MAX7000系列CPLD简介 2.3 FPGA的结构与工作原理 2.3.1 FPGA的基本结构 2.3.2 Cyclone系列器件的结构原理 2.4 可编程逻辑器件的测试技术 2.4.1 内部逻辑测试 2.4.2 JTAG边界扫描 2.4.3 嵌入式逻辑分析仪 2.5 CPLD / FPGA的编程与配置 2.5.1 CPLD在系统编程 2.5.2 FPGA配置方式 2.5.3 FPGA专用配置器件 2.5.4 使用单片机配置FPGA 2.5.5 使用CPLD配置FPGA 2.6 CPLD / FPGA开发应用选择 思考题与习题 第3章原理图输入设计方法 3.1 原理图设计方法 3.1.1 内附逻辑函数 3.1.2 编辑规则 3.1.3 原理图编辑工具 3.1.4 原理图编辑流程 3.1.5 设计项目的处理 3.1.6 设计项目的校验 3.1.7 器件编程 3.2 1位全加器设计 3.2.1 建立文件夹 3.2.2 输入设计项目和存盘 3.2.3 将设计项目设置成工程文件 3.2.4 选择目标器件并编译 3.2.5 时序仿真 3.2.6 引脚锁定 3.2.7 编程下载 3.2.8 设计顶层文件 3.3 数字电子钟设计 3.3.1 六十进制计数器设计 3.3.2 十二进制计数器设计 3.3.3 数字电子钟顶层电路设计 3.4 利用LPM兆功能块的电路设计 3.4.1 常用LPM兆功能块 3.4.2 基于LPM—COUNTER的数据分频器设计 3.4.3 制作一个兆功能模块 3.5 波形输入设计 3.5.1 创建波形设计新文件并指定工程名称 3.5.2 创建输入、输出和隐埋节点 3.5.3 编辑隐埋状态机节点波形 3.5.4 编辑输入和输出节点波形 3.5.5 查看波形情况 3.5.6 保存文件并检查错误 3.5.7 创建默认的功能模块 思考题与习题 第4章VHDL设计初步 4.1 概述 4.1.1 常用硬件描述语言简介 4.1.2 VHDL的特点 4.1.3 VHDL程序设计约定 4.2 VHDL语言的基本单元及其构成 4.2.1 2选1多路选择器的VHDL描述 4.2.2 VHDL程序的基本结构 4.2.3 实体 4.2.4 结构体 4.3 VHDL文本输入设计方法初步 4.3.1 项目建立与VHDL源文件输入 4.3.2 将当前设计设定为工程 4.3.3 选择VHDL文本编译版本号和排错 4.3.4 时序仿真 4.4 VHDL程序设计举例 4.4.1 D触发器的VHDL描述 4.4.2 1位二进制全加器的VHDL描述 4.4.3 4位加法计数器的VHDL描述 思考题与习题 第5章VHDL设计进阶 5.1 VHDL语言要素 5.1.1 VHDL文字规则 5.1.2 VHDL数据对象 5.1.3 VHDL数据类型 5.1.4 VHDL操作符 5.2 VHDL顺序语句 5.2.1 赋值语句 5.2.2 转向控制语句 5.2.3 WAIT语句 5.2.4 子程序调用语句 5.2.5 返回语句 5.2.6 NULL语句 5.2.7 其他语句 5.3 VHDL并行语句 5.3.1 进程语句 5.3.2 并行信号赋值语句 5.3.3 块语句 5.3.4 并行过程调用语句 5.3.5 元件例化语句 5.3.6 生成语句 5.4 子程序 5.4.1 函数 5.4.2 重载函数 5.4.3 过程 5.4.4 重载过程 5.5 库、程序包及其配置 第6章有限状态机设计 第7章Quartus 工具应用初步 第8章数字电子系统设计实践 参考文献

<<EDA技术及应用>>

章节摘录

版权页：插图：在系统仿真时，利用时间类型数据表示信号延时，可以使模型更接近系统的运行环境。

10) 错误等级 错误等级 (SeVerity LeVel) 类型数据用来表征系统的状态，它共有4种：NOTE (注意)、WARNING (警示)、ERROR (/ t错)、FAILURE (失败)。

在系统仿真过程中可以用这4种状态来提示系统当前的工作情况。

这样可以使操作人员随时了解当前系统工作的情况，并根据系统的不同状态采取相应的对策。

11) 综合器不支持的数据类型 下面列举的这些数据类型虽然仿真器支持，但是综合器是不支持的。物理类型。

综合器不支持物理类型的数据，如具有量纲型的数据，包括时间类型。

这些类型只能用于仿真过程。

浮点型。

如REAL型。

Access型。

综合器不支持存取型结构，因为不存在这样对应的硬件结构。

File型。

综合器不支持磁盘文件型，硬件对应的文件仅为RAM和ROM。

2. IEEE预定义标准逻辑位与矢量 在IEEE库的程序包STD—LOGIC—1164中，定义了两个非常重要的数据类型，即标准逻辑位 (STD—LOGIC) 数据类型和标准逻辑位矢量 (STD—LOGIC—VECTOR) 数据类型。

1) 标准逻辑位数据类型 以下是定义在IEEE库程序包STD—LOGIC—1164中的STD_LOGIC数据类型：
TYPE STD_LOGIC Is ('U' , 'x' , '0' , '1' , 'Z' , 'w' , 'L' , 'H' , '—') ;
各值的含义是：'U' ——未初始化的，'X' ——强未知的，'0' ——强0，'1' ——强1，'2' ——高阻态，'W' ——弱未知的，'L' ——弱0，'H' ——弱1，'—' ——忽略。

由定义可见，STD—LOGIC是标准的BIT数据类型的扩展，共定义了9种值，这意味着，对于定义为数据类型是标准逻辑位STD—LOGIC的数据对象，其可能的取值已非传统的BIT那样只有0和1两种取值，而是如上定义的那样有9种可能的取值。

目前在设计中一般只使用IEEE的STD—LOGIC标准逻辑的位数据类型，BIT型则很少使用。

由于标准逻辑位数据类型的多值性，在编程时应当特别注意。

因为在条件语句中，如果未考虑到STD—LOGIC的所有可能的取值情况，综合器可能会插入不希望的锁存器。

在程序中使用此数据类型前，需加入下面的语句：LIBRARY IEEE ; USE IEEE.STD—LOGIC—1164.ALL ; 程序包STD—LOGIC—1164中还定义了STD—LOGIC型逻辑运算符AND、NAND、OR、NOR、XOR和NOT的重载函数及多个转换函数用于不同数据类型间的相互转换。

在仿真和综合中，STD_LOGIC值是非常重要的，它可以使设计者精确模拟一些未知和高阻态的线路情况。

对于综合器、高阻态和“—”忽略态可用于三态的描述。

但就综合而言，STD—LOGIC型数据能够在数字器件中实现的只有其中的4种值，即“—”、“0”、“1”和“Z”。

<<EDA技术及应用>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>