

<<高级ASIC芯片综合>>

图书基本信息

书名：<<高级ASIC芯片综合>>

13位ISBN编号：9787302148814

10位ISBN编号：7302148813

出版时间：2007-6

出版时间：清华大学出版社

作者：Himanshu bhatnagar

页数：237

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<高级ASIC芯片综合>>

内容概要

本书第2版描述了使用Synopsys工具进行ASIC芯片综合、物理综合、形式验证和静态时序分析的最新概念和技术，同时针对VDSM（超深亚微米）工艺的完整ASIC设计流程的设计方法进行了深入的探讨。

本书的重点是使用Synopsys工具解决各种VDSM问题的实际应用。

读者将详细了解有效处理复杂亚微米ASIC的设计方法，其重点是HDL的编码风格、综合和优化、动态仿真、形式验证、DFT扫描插入、Imks to layout、物理综合和静态时序分析。

在每个步骤中，确定了设计流程中每一部分的问题，并详细描述了解决方法。

此外，对包括与时钟树综合和links to layout等版图相关的问题也进行了较详细的论述。

而且，本书还对Synopsys基本的工艺库、HDL编码风格以及最佳的综合解决方案进行了深入探讨。

本书的读者对象是ASIC设计工程师和正在学习关于ASIC芯片综合以及DFT技术的VLSI高级课程的硕士研究生。

<<高级ASIC芯片综合>>

作者简介

Himanshu Bhamagar是位于美国加州新港海滩（Newport Beach）的科胜讯（Conexant）系统公司ASIC设计小组的领导。

科胜讯系统公司是世界上最大的专门提供半导体通信电子产品的公司。

Himanshu在使用Synopsys和其他EDA工具厂商提供的最新的高性能工具来定义下一代的ASIC设计流程方

<<高级ASIC芯片综合>>

书籍目录

第1章 ASIC设计方法学 1.1 传统的设计流程 1.1.1 规范和RTL编码 1.1.2 动态仿真 1.1.3 约束、综合和扫描插入 1.1.4 形式验证 1.1.5 使用PrimeTime进行静态时序分析 1.1.6 布局、布线和验证 1.1.7 工程改变命令 1.2 Physical Compiler流程 1.2.1 物理综合 1.3 小结第2章 入门指南静态时序分析与综合 2.1 设计示例 2.2 初始设置 2.3 传统流程 2.3.1 布图前的步骤 2.3.2 布图后步骤 2.4 Physical Compiler流程 2.5 小结第3章 基本概念 3.1 Synopsys产品 3.2 综合环境 3.2.1 启动文件 3.2.2 系统库变量 3.3 对象、变量和属性 3.3.1 设计对象 3.3.2 变量 3.3.3 属性 3.4 找寻设计对象 3.5 Synopsys格式 3.6 数据组织 3.7 设计输入 3.8 编译指令 3.8.1 HDL编译器指令 3.8.2 VHDL编译器指令 3.9 小结第4章 Synopsys工艺库 4.1 工艺库 4.1.1 逻辑库 4.1.2 物理库 4.2 逻辑库基础 4.2.1 库类 4.2.2 库级属性 4.2.3 环境描述 4.2.4 单元描述 4.3 延时计算 4.3.1 延时模型 4.3.2 延时计算问题 4.4 何谓好库? 4.5 小结第5章 划分和编码风格 5.1 综合划分 5.2 何谓RTL? 5.2.1 软件与硬件 5.3 通用指导方针 5.3.1 工艺无关 5.3.2 时钟相关逻辑 5.3.3 顶层没有粘合逻辑第6章 设计约束第7章 优化设计第8章 可测性设计第9章 LINKS TO LAYOUT和布图后优化——包括时钟树插入第10章 物理综合第11章 SDF生成——为动态时序仿真第12章 PRIMETIME基础第13章 静态时序分析——使用Prime Time附录A 使用Physical Compiler的一个新的时序闭合方法附录B Makefile实例

<<高级ASIC芯片综合>>

编辑推荐

《高级ASIC芯片综合》(第2版)(翻译版)的读者对象是ASIC设计工程师和正在学习关于ASIC芯片综合以及DFT技术的VLSI高级课程的硕士研究生。

<<高级ASIC芯片综合>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>