

<<Verilog HDL综合实用教程>>

图书基本信息

<<Verilog HDL综合实用教程>>

内容概要

本书的鲜明特色在于帮助读者全面、正确地理解Verilog硬件描述语言的综合。

本书以电路综合为目标，针对各种语言结构逐一讨论了其可综合性、仿真与综合时的语义差别以及相关的各种相关的各种用法，给出了大量示例，对各种似是而非的用法作了对比，指出了其语义差别和所综合出的电路在功能上的差异。

本书的另一特色在于详细介绍了设计模型的优化技术和验证技术。

本书内容全面、深入浅出、适用面广，对于已经采用或打算采用Verilog语言作为电路设计手段的学生和工程人员而言是一本不可多得的好书。

<<Verilog HDL综合实用教程>>

作者简介

J.Bhasker是IEEE PAR 1364.1 Verilog Synthesis Interoperability Working Group (Verilog SIWG)的主席，该组织致力于建立用于RTL综合的Verilog标准化子集。

他是贝尔实验室所开发的ArchSyn综合系统的主要设计者之一。

他曾为AT&T和Lucent的许多设计师讲授Verilog HDL语言和V

<<Verilog HDL综合实用教程>>

书籍目录

译者序原书序前言第1章 基础知识 1.1 什么是综合？
1.2 设计流程中的综合 1.3 逻辑值体系 1.4 位宽 1.5 值保持器的硬件建模第2章 从Verilog结构到逻辑门 2.1
持续赋值语句 2.2 过程赋值语句 2.3 逻辑算符 2.4 算术算符 2.5 关系算符 2.6 相等性算符 2.7 移位算符 2.8
向量运算 2.9 部分选取 2.10 位选取 2.11 条件表达式 2.12 always语句 2.13 if语句 2.14 case语句 2.15 再谈锁存
器推导 2.16 循环语句 2.17 触发器的建模 2.18 再谈阻塞式和非阻塞式赋值 2.19 函数 2.20 任务 2.21 使用x
值和z值 2.22 门级建模 2.23 模块实例化语句 2.24 参数化的设计第3章 建模示例 3.1 组合逻辑的建模 3.2 时
序逻辑的建模 3.3 存储器的建模 3.4 编写布尔等式 3.5 有限状态机的建模 3.6 通用移位寄存器的建模 3.7
ALU的建模 3.8 计数器的建模 3.9 参数化加法器的建模 3.10 参数化的比较器的建模 3.11 译码器的建模
3.12 多路选择器的建模 3.13 参数化的奇偶校验生成器的建模 3.14 三态门的建模 3.15 数据流检测模型
3.16 阶乘模型 3.17 UART模型 3.18 纸牌21点模型第4章 模型的优化 4.1 资源分配 4.2 公共子表达式 4.3 代
码移位 4.4 公因子提取 4.5 交换律和结合律 4.6 其他优化手段 4.7 触发器和锁存器的优化 4.8 设计规模 4.9
使用括号第5章 验证 5.1 测试平台 5.2 赋值语句中的延迟 5.3 悬空的端口 5.4 遗失的锁存器 5.5 再谈延迟
5.6 事件表 5.7 综合指令 5.8 变量的异步预置位 5.9 阻塞式和非阻塞式赋值附录A 可综合的语言结构附
录B 通用库参考文献

<<Verilog HDL综合实用教程>>

编辑推荐

- 通过本书，您可以：
- 迅速开始编写可综合的Verilog模型。
 - 获悉哪些语言结构可用于综合，这些结构如何映射成硬件，以得到所期望的逻辑电路。
 - 学习如何避免功能的不匹配。
 - 立即开始使用许多常用的硬件元件模型，或针对应用稍作修改后为己所用。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>