

<<80X86/Pentium处理器硬件>>

图书基本信息

书名：<<80X86/Pentium处理器硬件、软件及接口技术教程>>

13位ISBN编号：9787302033042

10位ISBN编号：7302033048

出版时间：1998-11

出版时间：清华大学出版社

作者：Walter A.Triebel

译者：王克义/等

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<80X86/Pentium处理器硬件>>

内容概要

内容提要

Intel80x86处理器系统系列是现代微型计算机系统中最为流行的体系结构。

这本新编的以80386

为起点，全面介绍80386，80486及奔腾处理器的软件、硬件和I/O接口技术一书，主要讲述：实模式及保

护模式的软件结构，汇编语言程序设计、开发与调试；存储器及其I/O接口，存储器子系统设计；可编程

I/O接口电路及LSI外围器件；中断和异常处理；微型计算机系统硬件结构；总线接口，测试与维护，联

机单板实验环境及常用测试仪器的使用等。

此外，还重点介绍了80486及奔腾系列处理器的硬件、软件结构及最新技术。

本书内容详尽，结构清晰。

书中引用并分析了Intel公司有关现代微处理器技术的大量第一手材料，并注重结合实例深入浅出地论述和介绍微机软硬件的基本技术。

每章后面附有习题，书后给出奇数题号

的习题答案，有助于读者的学习和理解。

本书可作为高等院校有关专业微型计算机原理及接口技术课程的教材或教学参考书，也可供从事微机设计和应用的科技人员阅读。

<<80X86/Pentium处理器硬件>>

书籍目录

目录

第1章 微处理器和微型计算机概论

1.1概述

1.2IBM和IBM兼容个人计算机：可重编程微型计算机

1.3微型计算机系统的一般结构

1.4Intel公司的微处理器结构的发展

1.4.1微处理器性能：MIPS和iCOMP

1.4.2晶体管的密度

1.4.3可重编程微处理器和嵌入式微处理器

习题

第2章 80386DX微处理器的实地址模式软件结构

2.1概述

2.280386DX微处理器的内部结构

2.380386DX微处理器的实模式软件模型

2.4实模式下存储器地址空间和数据组织

2.5数据类型

2.6段寄存器和存储器分段

2.7指令指针

2.8通用数据寄存器

2.9指针和变址寄存器

2.10标志寄存器

2.11实模式存储器地址的产生

2.12堆栈

2.13实模式输入/输出地址空间

习题

第3章 汇编语言编程

3.1概述

3.2软件：微型计算机的程序

3.3IBM可兼容PC/AT汇编语言程序开发

3.3.1描述问题

3.3.2计划解决

3.3.3用汇编语言编程

3.3.4建立源程序

3.3.5把源程序汇编成目标模块

3.3.6产生运行模块

3.3.7解的验证

3.3.8程序开发周期中有关程序和文件

3.480386DX微处理器的指令集

3.580386DX微处理器的寻址方式

3.5.1寄存器操作数寻址方式

3.5.2立即操作数寻址方式

3.5.316位存储器操作数寻址方式

3.5.432位存储器操作数寻址方式

习题

第4章 PC/AT 兼容微型计算机的机器语言编码

<<80X86/Pentium处理器硬件>>

和DEBUG (调试) 软件开发程序

4.1概述

4.2汇编语言指令变换为机器代码

4.3一个完整的程序编码成为机器代码

4.4PC/AT和它的DEBUG (调试) 程序

4.5检查并修改存储器内容

4.5.1转储 (DUMP) 命令

4.5.2输入 (ENTER) 命令

4.5.3填充 (FILL) 命令

4.5.4移动 (MOVE) 命令

4.5.5比较 (COMPARE) 命令

4.5.6搜索 (SEARCH) 命令

4.6数据的输入与输出

4.7十六进制加法和减法

4.8机器语言程序的装入、验证和保存

4.9用汇编 (ASSEMBLE) 命令汇编指令

4.10用跟踪 (TRACE) 和运行 (GO) 命令执行指令和程序

4.11调试一个程序

习题

第5章 实模式80386DX微处理器编程 (I)

5.1概述

5.2数据传送指令

5.2.1移动 (MOV) 指令

5.2.2带符号扩展和带零扩展的移动指令: MOVSX和MOVZX

5.2.3XCHG指令

5.2.4XLAT和XLATB指令

5.2.5存入有效地址和存入全部指针的指令

5.3算术指令

5.3.1加法指令: ADD, ADC, INC, AAA和DAA

5.3.2减法指令: SUB, SBB, DEC, AAS, DAS和NEG

5.3.3乘法和除法指令: MUL, DIV, IMUL, IDIV, AAM, AAD, CBW, CWDE, CWD和CDQ

5.4逻辑指令

5.5移位指令

5.6循环移位指令

5.7位测试和位扫描指令

习题

第6章 实模式80386DX微处理器编程 ()

6.1概述

6.2标志控制指令

6.3比较和置位指令

6.3.1按条件设置字节值: SETcc

6.4转移指令

6.4.1无条件和条件转移

6.4.2分支程序结构: IFTHEN

6.4.3循环程序结构: REPEATUNTIL和WHILE - DO

6.4.4使用循环和分支软件结构应用程序

6.5子程序和子程序处理指令

<<80X86/Pentium处理器硬件>>

6.5.1 CALL和RET指令

6.5.2 入栈和出栈操作

6.5.3 堆栈帧指令：ENTER和LEAVE

6.6 循环和循环处理指令

6.7 串和串操作指令

6.7.1 移串：MOVS, MOVSB, MOVSW

6.7.2 比较串和扫描串：CMPSB/CMPSW/CMPSD和SCASB/SCASW/SCASD

6.7.3 装入和保存串：LODSB/LODSW/LODSD和STOSB/STOSW/STOSD

6.7.4 重复串：REP

6.7.5 串指令的自动变址

习题

第7章 利用微软的MASM汇编程序进行汇编语言程序设计

7.1 概述

7.2 源程序的语法

7.2.1 汇编语言语句的语法

7.2.2 伪操作语句的语法

7.2.3 语句中的常数

7.2.4 使用算术、关系和逻辑运算符的操作数表达式

7.2.5 返回值和属性运算符

7.3 伪操作

7.3.1 伪操作

7.3.2 数据伪操作

7.3.3 段控制伪操作

7.3.4 模块化编程伪操作

7.3.5 存储器使用控制的伪操作

7.3.6 程序末尾伪操作

7.3.7 程序列表控制的伪操作

7.3.8 一个使用伪操作的源程序例子

7.4 利用编辑器创建源文件

7.4.1 使用EDLIN行编辑器

7.4.2 使用EDIT屏幕编辑器

7.5 用MASM汇编源程序

7.5.1 初始化汇编过程

7.5.2 汇编文件中的语法错误

7.5.3 目标模块

7.5.4 源清单

7.5.5 交叉引用表

7.6 利用链接程序创建可运行模块

7.6.1 模块化编程

7.6.2 初始化链接程序

7.7 装入和执行可运行模块

习题

第8章 80386DX保护模式的软件体系结构

8.1 概述

8.2 保护模式的寄存器模型

8.2.1 全局描述符表寄存器

8.2.2 中断描述符表寄存器

<<80X86/Pentium处理器硬件>>

- 8.2.3局部描述符表寄存器
- 8.2.4控制寄存器
- 8.2.5任务寄存器
- 8.2.6改变功能的寄存器
- 8.3保护模式的存储器管理和地址转换
 - 8.3.1虚拟地址和虚拟地址空间
 - 8.3.2虚拟地址空间的分段
 - 8.3.3物理地址空间和虚实地址转换
 - 8.3.4段式地址转换
 - 8.3.5虚拟地址空间的分页和虚实地址转换
- 8.4描述符和页表项
- 8.5保护模式的系统控制指令集
- 8.6多任务和保护
 - 8.6.1保护和保护模式
 - 8.6.2在保护模式下访问代码和数据
 - 8.6.3任务切换和任务状态段表
- 8.7虚拟8086模式
- 习题
- 第9章 80386DX微处理器、存储器和输入/输出接口
 - 9.1概述
 - 9.280386DX微处理器
 - 9.380386DX的接口
 - 9.3.1存储器/I/O接口
 - 9.3.2中断接口
 - 9.3.3DMA接口
 - 9.3.4协处理器接口
 - 9.4系统时钟
 - 9.5总线状态及流水线和非流水线总线周期
 - 9.5.1非流水线和流水线总线周期
 - 9.6读和写总线周期时序
 - 9.6.1非流水线读周期时序
 - 9.6.2非流水线写周期时序
 - 9.6.3非流水线存储器总线周期中的等待状态
 - 9.6.4流水线读/写周期时序
 - 9.7存储器地址空间的硬件组织
 - 9.8存储器接口电路
 - 9.8.1地址的锁存和缓冲
 - 9.8.2数据总线收发器
 - 9.8.3地址译码器
 - 9.9输入/输出类型
 - 9.9.1独立I/O
 - 9.9.2存储器映像I/O
 - 9.10独立的I/O接口
 - 9.11输入和输出总线周期时序
 - 9.12输入/输出指令
 - 习题
 - 第10章 存储器设备、电路及子系统设计

<<80X86/Pentium处理器硬件>>

- 10.1概述
- 10.2程序和数据存储器
- 10.3只读存储器
 - 10.3.1ROM, PROM和EPROM
 - 10.3.2只读存储器方框图
 - 10.3.3读操作
 - 10.3.4标准的EPROM集成电路
 - 10.3.5扩充EPROM的字长和字容量
- 10.4随机访问读/写存储器
 - 10.4.1静态和动态RAM
 - 10.4.2静态RAM的方框图
 - 10.4.3标准的静态RAM集成电路
 - 10.4.4SRAM的读和写周期操作
 - 10.4.5标准的动态RAM集成电路
 - 10.4.6RAM子系统的备份电源
- 10.5奇偶校验、奇偶校验位及奇偶检查器/产生器电路
- 10.6快擦写存储器
 - 10.6.1快擦写存储器方框图
 - 10.6.2快擦写存储器的阵列结构
 - 10.6.3标准的整体擦除快擦写存储器
 - 10.6.4标准的自举块快擦写存储器
 - 10.6.5标准的FlashFile快擦写存储器
- 10.7等待状态电路
- 10.880386DX/SX微型计算机系统存储器接口电路
- 10.9高速缓冲存储器
 - 10.1082385DX高速缓存控制器和高速缓存子系统
 - 10.10.1具有基于82385DX高速缓存的80386DX微型计算机的体系结构
 - 10.10.282385DX的信号接口
 - 10.10.3直接映像高速缓存的操作
 - 10.10.4两路组相联高速缓存的操作
 - 10.10.5高速缓存的一致性及总线监视
 - 10.10.6不可高速缓存的存储器地址空间
- 习题
- 第11章 输入/输出接口电路和LSI外围器件
 - 11.1概述
 - 11.2基本I/O接口及专用I/O接口
 - 11.3独立I/O的字节宽度输出端口
 - 11.3.1时延循环及输出端LED的闪烁控制
 - 11.4独立I/O的字节宽度输入端口
 - 11.4.1轮询开关状态
 - 11.5输入/输出握手信号及并行打印机接口
 - 11.682C55A可编程外围接口(PPI)
 - 11.7利用82C55A实现独立I/O的并行输入/输出端口
 - 11.8利用82C55A实现存储器映像I/O的并行输入/输出端口
 - 11.982C54可编程间隔定时器
 - 11.9.182C54的方框图
 - 11.9.282C54的组成结构

<<80X86/Pentium处理器硬件>>

- 11.9.382C54计数器的操作方式
- 11.1082C37A可编程DMA控制器
- 11.10.182C37A的微处理器接口
- 11.10.282C37A的DMA接口
- 11.10.382C37A的内部结构
- 11.1180386DX微型计算机系统I/O电路
- 11.12串行通信接口
 - 11.12.1同步和异步数据通信
 - 11.12.2单工、半双工及全双工的通信链路
 - 11.12.3USART和UART
 - 11.12.4波特率及波特率产生器
 - 11.12.5RS232C接口
- 11.13可编程通信接口控制器
 - 11.13.18251AUSART
 - 11.13.28250/16450UART
- 11.14键盘及显示器接口
- 11.158279可编程键盘/显示控制器
- 习题
- 第12章 80386DX微处理器的中断和异常处理
 - 12.1概述
 - 12.2中断和异常的类型
 - 12.3中断向量和中断描述符表
 - 12.4中断指令
 - 12.5中断允许和禁止
 - 12.6外部硬件中断接口
 - 12.7外部硬件中断序列
 - 12.882C59A可编程中断控制器
 - 12.8.182C59A的方框图
 - 12.8.282C59A的内部体系结构
 - 12.8.3对82C59A进行编程
 - 12.8.4初始化命令字
 - 12.8.5操作命令字
 - 12.9使用82C59A的中断接口电路
 - 12.10软件中断
 - 12.11非屏蔽中断
 - 12.12复位
 - 12.13内部中断和异常处理
 - 12.13.1除法错误异常
 - 12.13.2调试异常
 - 12.13.3断点中断
 - 12.13.4溢出错误异常
 - 12.13.5边界检查异常
 - 12.13.6无效操作码异常
 - 12.13.7协处理器扩展不可用异常
 - 12.13.8中断表限长太小异常
 - 12.13.9协处理器段溢出异常
 - 12.13.10堆栈错误异常

<<80X86/Pentium处理器硬件>>

12.13.11段溢出异常

12.13.12协处理器错误异常

12.13.13保护模式内部中断和异常

习题

第13章 80386DXPC/AT微型计算机硬件系统

13.1概述

13.2传统IBMPC/AT主板的结构

13.3高度集成的PC/AT兼容外围芯片

13.480386DX微型计算机核心

13.582345数据缓冲器

13.5.182345方框图

13.5.282345的输入、输出

13.5.3在PC/AT微机中使用82345

13.682346系统控制器

13.6.182346芯片方框图

13.6.282346芯片的输入输出及其在PC/AT微机中的应用

13.782344ISA控制器

13.7.182344的方框图

13.7.282344芯片的输入输出信号及其用途

13.882341高集成度外围组合

13.8.182341芯片方框图

13.8.282341芯片的输入输出信号及在PC/AT微机系统中的连接

13.982077AA软盘控制器

13.9.182077AA方框图

13.9.282077AA的输入输出信号及其在PC/AT微机中的应用

习题

第14章 PC/AT总线接口、电路构造、测试和故障

诊断

14.1概述

14.2PC/AT基于总线的接口

14.3PCLAB实验测试单元

14.4PCLAB的在板电路实验

14.4.1I/O地址译码

14.4.2开关输入电路

14.4.3LED输出电路

14.4.4扬声器驱动电路

14.5电路建立、测试及故障诊断

14.5.1建立电路

14.5.2测试电路操作

14.5.3排除微机接口电路故障

14.6利用数字逻辑分析仪观察微机总线活动

习题

第15章 80486微处理器系列

15.1概述

15.280486微处理器系列

15.380486的内部体系结构

15.480486SX的实模式软件模型及指令集

<<80X86/Pentium处理器硬件>>

- 15.4.1字节交换指令：BSWAP
- 15.4.2交换加法指令：XADD
- 15.4.3比较交换指令：CMPXCHG
- 15.580486SX的保护模式软件结构
- 15.5.1软件模型
- 15.5.2标志寄存器
- 15.5.3控制寄存器
- 15.5.4系统控制指令集
- 15.5.5页面目录和页面表项
- 15.680486微处理器的硬件体系结构
- 15.780486SXMPU的信号接口
- 15.7.1存储器/IO接口
- 15.7.2高速缓存控制接口
- 15.7.3总线仲裁接口
- 15.8存储器与I/O的软件组织、硬件组织及接口电路
- 15.9非突发式和突发式总线周期
- 15.9.1非突发非缓存式总线周期
- 15.9.2非突发缓存式总线周期
- 15.9.3突发缓存式总线周期
- 15.1080486SX的高速缓存
- 15.10.180486SX片内高速缓存的组织和操作
- 15.10.2允许和禁用片内高速缓存
- 15.10.3高速缓存的擦除操作
- 15.10.4高速缓存“数据线”无效操作
- 15.11高集成度存储器/输入/输出外围电路R400EX
- 15.12中断、复位及内部异常处理
- 15.12.1外部硬件中断和非屏蔽中断
- 15.12.2复位
- 15.12.3软中断和内部异常处理
- 15.1380486DX2与80486DX4微处理器习题
- 第16章 奔腾（Pentium）微处理器系列
- 16.1概述
- 16.2奔腾微处理器系列
- 16.3奔腾处理器的内部结构
- 16.4奔腾处理器的软件结构
- 16.4.1实模式和保护模式寄存器组
- 16.4.2增强的指令集
- 16.4.3系统管理模式
- 16.5奔腾处理器的硬件结构
- 16.6奔腾处理器的信号接口
- 16.6.1存储器/IO信号接口
- 16.6.2高速缓存控制接口
- 16.6.3中断信号接口
- 16.7存储器子系统电路

<<80X86/Pentium处理器硬件>>

- 16.7.1交替式DRAM存储器阵列
- 16.7.2RAS/CAS地址多路转换电路
- 16.7.3数据总线收发器电路
- 16.7.4控制逻辑电路
- 16.8非流水线式、流水线式及突发式总线周期
- 16.8.1非流水线式读/写周期
- 16.8.2突发式读写总线周期
- 16.8.3流水线式读、写总线周期
- 16.9奔腾处理器的高速缓存
- 16.9.1片内高速缓存的组织方式及有关操作
- 16.9.2片内高速缓存有效、禁用和擦除
- 16.10中断、复位和内部异常处理
- 16.10.1机器检查异常处理
- 16.10.2由RESET和INIT信号引起的初始化
- 16.11高能奔腾处理器和具有MMX技术的奔腾处理器
- 习题
- 习题答案

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>