

<<高速数字电路设计入门>>

图书基本信息

书名：<<高速数字电路设计入门>>

13位ISBN编号：9787121161537

10位ISBN编号：7121161532

出版时间：2012-4

出版时间：电子工业出版社

作者：黄智伟

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<高速数字电路设计入门>>

内容概要

《电子工程技术丛书：高速数字电路设计入门》介绍高速数字电路设计基础知识、设计要求与方法。

全书共分10章，着重介绍了在高速数字电路中电阻元件、电容元件、电感元件、铁氧体元件的特性与应用，高速数字电路的PDN设计，高速数字电路的去耦电路设计，FPGA的PDN设计，高速数字电路的信号完整性，高速数字电路的EMI抑制，高速信令标准的规范要求、特性与应用等内容。

《电子工程技术丛书：高速数字电路设计入门》内容丰富，叙述详尽清晰，图文并茂，通过大量的设计实例说明高速数字电路设计中的一些技巧与方法及应该注意的问题，工程性好，实用性强。

?

<<高速数字电路设计入门>>

书籍目录

第1章 电阻元件

1.1 电阻元件的基本特性

1.1.1 电阻元件的u-i特性

1.1.2 电阻元件的串联和并联

1.2 高速电路中的电阻

1.2.1 电阻器的阻抗频率特性

1.2.2 互连线的电阻

1.2.3 单位长度电阻

1.2.4 方块电阻

1.2.5 非理想互连与电源 / 地平面突变的影响

1.2.6 趋肤效应的影响

第2章 电容元件

2.1 电容元件的基本特性

2.1.1 电容元件的电容量

2.1.2 电容元件的电压-电流关系

2.1.3 电容元件的串联和并联

2.2 电容器的频率特性

2.2.1 电容器的阻抗频率特性

2.2.2 电容器的衰减频率特性

2.3 电容器的ESR和ESL特性

2.4 片状电容器的使用

2.4.1 片状电容器的选择

2.4.2 片状电容器的PCB设计注意事项

2.5 低ESL的电容器

2.5.1 低ESL电容器结构

2.5.2 低ESL电容器的阻抗频率特性

2.6 片状三端子电容器

2.6.1 片状三端子电容器的频率特性

2.6.2 使用三端子电容器减小ESL

2.6.3 三端子电容器的PCB布局与等效电路

2.6.4 三端子电容器的应用

2.7 X2Y?电容器

2.7.1 采用X2Y?电容器替换穿心式电容器

2.7.2 X2Y?电容器的封装形式和尺寸

2.7.3 X2Y?电容器的应用与PCB布局

2.8 可藏于PCB基板内的电容器

2.9 PCB的电容

2.9.1 PCB的平行板电容

2.9.2 PCB的导线电容

2.9.3 PCB的导线互容

2.9.4 PCB的过孔电容

2.10 埋入式电容

2.10.1 埋入式电容技术简介

2.10.2 埋入式电容技术的应用

2.11 IC封装的电容

<<高速数字电路设计入门>>

第3章 电感元件

3.1 电感元件的基本特性

3.1.1 电感元件的电感量

3.1.2 电感元件的电压-电流关系

3.1.3 电感元件的串联和并联

3.2 电感器的频率特性

3.2.1 电感器的阻抗频率特性

3.2.2 电感器的Q值频率特性

3.2.3 电感器的电感值频率特性

3.3 电感器的电感值DC电流特性

3.4 电感器的选择

3.5 互感

3.5.1 互感现象

3.5.2 耦合系数

3.5.3 耦合电感上的电压-电流关系

3.5.4 两相邻通路与导线间的“互感耦合”

3.6 局部电感

3.6.1 局部自感

3.6.2 局部互感

3.7 回路电感

3.7.1 导线回路的电感

3.7.2 回路面积对电感的影响

3.7.3 环形线圈的回路电感

3.7.4 两根相邻的导线的回路电感

3.8 PCB的电感

3.8.1 PCB导线的电感

3.8.2 PCB的过孔电感

3.8.3 PCB导线的互感

3.9 IC封装的电感

3.10 电感引起的“地弹”与控制

3.10.1 “地弹”

3.10.2 “地弹”的控制

3.11 LC电路的阻抗特性

3.11.1 LC串联电路的阻抗特性

3.11.2 LC并联电路的阻抗特性

第4章 铁氧体元件

4.1 铁氧体元件的基本特性

4.1.1 铁氧体的基本特性

4.1.2 铁氧体磁珠的基本特性

4.2 片式铁氧体磁珠

4.2.1 信号线用片式铁氧体磁珠

4.2.2 电源线用片式铁氧体磁珠

4.2.3 吉赫兹高频型片式铁氧体磁珠

4.2.4 片式铁氧体磁珠阵列(磁珠排)

4.2.5 其他类型的片式铁氧体磁珠

4.2.6 片状铁氧体磁珠的选择

4.2.7 片状铁氧体磁珠在电路中的应用

<<高速数字电路设计入门>>

- 4.2.8 铁氧体磁珠的安装位置
- 4.3 EMC (电磁兼容) 用铁氧体
 - 4.3.1 EMC (电磁兼容) 用铁氧体类型
 - 4.3.2 EMC (电磁兼容) 用铁氧体阻抗频率特性
- 第5章 高速数字电路的PDN (电源分配网络) 设计
 - 5.1 PDN与SI、PI和EMI
 - 5.1.1 PDN是SI、PI和EMI的公共基础互连
 - 5.1.2 优良的PDN设计是SI、PI和EMI的基本保证
 - 5.2 PDN的拓扑结构
 - 5.3 VRM (电压调节模块)
 - 5.3.1 高速数字系统的供电要求
 - 5.3.2 DC-DC电路
 - 5.3.3 点负载 (PoL) DC-DC转换器
 - 5.3.4 线性稳压电路
 - 5.3.5 线性稳压和DC-DC的混合IC电路
 - 5.4 去耦电容器
 - 5.5 PCB电源 / 地平面
 - 5.5.1 PCB电源 / 地平面的功能
 - 5.5.2 PCB电源 / 地平面设计一般原则
 - 5.5.3 4层板的PCB电源 / 地平面设计
 - 5.5.4 6层板的PCB电源 / 地平面设计
 - 5.5.5 8层板的PCB电源 / 地平面设计
 - 5.5.6 10层板的PCB电源 / 地平面设计
 - 5.5.7 PCB电源 / 地平面的主要缺点和副作用
 - 5.6 封装电源 / 地平面和芯片电源分配网络
 - 5.7 目标阻抗
 - 5.7.1 目标阻抗的定义
 - 5.7.2 基于目标阻抗的PDN设计
 - 5.7.3 利用目标阻抗计算去耦电容器的电容量
 - 5.8 基于功率传输的PDN设计方法
 - 5.8.1 稳压电源电路的反应时间
 - 5.8.2 去耦电容的去耦时间
 - 5.8.3 电源系统的输出阻抗
 - 5.8.4 利用电源驱动的负载计算电容量
 - 5.8.5 平面PDN的一维分布模型
- 第6章 高速数字电路的去耦电路设计
 - 6.1 高速数字电路的去耦电路结构与特性
 - 6.1.1 高速数字电路的去耦电路基本结构
 - 6.1.2 数字IC电源噪声的产生
 - 6.1.3 测量去耦电路性能的测量点
 - 6.1.4 去耦电路的插入损耗测量
 - 6.2 插入损耗特性
 - 6.2.1 电容器的插入损耗特性
 - 6.2.2 电感器和铁氧体磁珠的插入损耗特性
 - 6.3 影响电容器噪声抑制效果的因素
 - 6.3.1 电容器的频率特性的影响
 - 6.3.2 噪声路径与电容器安装位置

<<高速数字电路设计入门>>

- 6.3.3 外围电路阻抗的影响
- 6.3.4 电容器的并联和反谐振
- 6.4 LC滤波器（去耦电路）
 - 6.4.1 使用一个电感器的去耦电路
 - 6.4.2 电感器的插入损耗
 - 6.4.3 铁氧体磁珠的插入损耗
 - 6.4.4 LC滤波器的插入损耗特性
 - 6.4.5 使用电感器时的注意事项
- 6.5 使用去耦电容抑制电源电压波动
 - 6.5.1 数字IC的电流和电压波动
 - 6.5.2 电源阻抗和电压波动之间的关系
 - 6.5.3 电压波动计算模型
 - 6.5.4 抑制电流波动的尖峰
 - 6.5.5 抑制脉冲宽度较宽的电流波动
- 6.6 使用去耦电容降低IC的电源阻抗
 - 6.6.1 电源阻抗的计算模型
 - 6.6.2 IC电源阻抗的计算
 - 6.6.3 电容器靠近IC放置的允许距离
- 6.7 PDN中的去耦电容
 - 6.7.1 去耦电容器的电流供应模式
 - 6.7.2 IC电源的目标阻抗
 - 6.7.3 去耦电容器组合的阻抗特性
 - 6.7.4 PCB上的目标阻抗
- 6.8 去耦电容器的容量计算
 - 6.8.1 计算去耦电容器容量的模型
 - 6.8.2 确定目标阻抗
 - 6.8.3 确定大容量电容器的容量
 - 6.8.4 确定板电容器的容量
 - 6.8.5 确定板电容器的安装位置
 - 6.8.6 减少ESLcap
 - 6.8.7 毫欧姆级超低目标阻抗设计
- 第7章 FPGA的PDN设计
 - 7.1 FPGA的PDN模型
 - 7.1.1 FPGA的PDN通用模型
 - 7.1.2 简化的FPGA的PDN模型
 - 7.2 对去耦电容器的要求
 - 7.2.1 电容器的寄生电感
 - 7.2.2 电容器的有效频率
 - 7.2.3 去耦电容器的位置
 - 7.2.4 反谐振
 - 7.3 PCB电流通路电感
 - 7.3.1 电容器贴装电感
 - 7.3.2 PCB电源和接地平面电感
 - 7.3.3 FPGA贴装电感
 - 7.4 PCB叠层和层序
 - 7.5 设计示例：Virtex™-5FPGA的PDN设计
 - 7.5.1 Virtex-5FPGA的VRM

<<高速数字电路设计入门>>

- 7.5.2 必需的PCB去耦电容器
- 7.5.3 替代电容器
- 7.5.4 PCB设计检查项目
- 7.5.5 VirtexTM-5的PCB布局
- 7.6 FPGAPDN设计和验证
 - 7.6.1 确定FPGA的参数
 - 7.6.2 去耦网络设计
 - 7.6.3 模拟
 - 7.6.4 性能测量
 - 7.6.5 优化去耦网络设计
 - 7.6.6 存在的问题分析和改进
- 7.7 仿真工具
 - 7.7.1 常用的一些PDN设计和仿真EDA工具
 - 7.7.2 Altera的PDN设计工具
- 第8章 高速数字电路的信号完整性
 - 8.1 模拟信号与数字信号
 - 8.1.1 模拟信号
 - 8.1.2 数字信号
 - 8.1.3 模拟量的数字表示
 - 8.2 信号的时域与频域的描述
 - 8.2.1 信号在时域中的相关概念
 - 8.2.2 信号在频域中的相关概念
 - 8.3 脉冲（数字）信号的几个参数
 - 8.3.1 非理想的脉冲（数字）信号波形
 - 8.3.2 周期性和非周期性脉冲（数字）信号
 - 8.4 上升时间与带宽（频宽）
 - 8.4.1 正弦波与方波
 - 8.4.2 上升时间
 - 8.4.3 带宽（频宽）
 - 8.4.4 边沿率（压摆率）
 - 8.5 电路的电性等效模型
 - 8.5.1 全波模型
 - 8.5.2 离散模型
 - 8.5.3 集总模型
 - 8.5.4 直流模型
 - 8.5.5 “集总模型”与“离散模型”的分界点
 - 8.5.6 传播速度与材料的介电常数之间的关系
 - 8.6 传输线
 - 8.6.1 传输线的定义
 - 8.6.2 PCB传输线
 - 8.6.3 微带线
 - 8.6.4 埋入式微带线
 - 8.6.5 单带状线
 - 8.6.6 双带状线或非对称带状线
 - 8.6.7 差分微带线和带状线
 - 8.6.8 介质材料对传播速度的影响
 - 8.7 反射

<<高速数字电路设计入门>>

- 8.7.1 反射的产生
- 8.7.2 串联突变引起的反射
- 8.7.3 并联桩线及分支引起的反射
- 8.7.4 容性反射
- 8.7.5 感性反射
- 8.7.6 传输线的反射
- 8.7.7 反弹图
- 8.7.8 利用终端匹配的方法改善反射现象
- 8.8 串扰
 - 8.8.1 拐点频率和互阻抗模型
 - 8.8.2 电容耦合产生的串扰（容性串扰）
 - 8.8.3 电感耦合产生的串扰（感性串扰）
 - 8.8.4 反向串扰和前向串扰的基本特性
 - 8.8.5 串扰的测量
 - 8.8.6 减小PCB上串扰的一些措施
- 8.9 同时开关噪声（SSN）
 - 8.9.1 SSN的成因
 - 8.9.2 片上开关
 - 8.9.3 片外开关
 - 8.9.4 降低SSN的一些措施
- 8.10 抖动
 - 8.10.1 抖动和噪声对信号的影响
 - 8.10.2 产生抖动和噪声的根源
 - 8.10.3 抖动和噪声的分类
 - 8.10.4 数据相关性抖动（DDJ）
 - 8.10.5 占空比失真（DCD）
 - 8.10.6 码间干扰（ISI）
 - 8.10.7 周期性噪声和抖动
 - 8.10.8 附加的抖动源
- 8.11 时钟抖动
 - 8.11.1 时钟抖动的基本特性
 - 8.11.2 时钟的相位抖动

<<高速数字电路设计入门>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>