

<<Verilog HDL数字系统设计及实>>

图书基本信息

书名：<<Verilog HDL数字系统设计及实践>>

13位ISBN编号：9787121120213

10位ISBN编号：7121120216

出版时间：2011-1

出版时间：电子工业

作者：刘睿强//童贞理//尹洪剑

页数：213

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<Verilog HDL数字系统设计及实>>

前言

展，越来越多的系统设计开始基于现场可编程门阵列(FPGA)。

采用FPGA器件可以将原来的电路板级产品集成为芯片级产品，从而降低功耗，提高系统的可靠性。

今天，FPGA正在以惊人的速度发展。

一个芯片可以包含数百万个门，而且越来越多的FPGA内可以嵌入各种档次的CPU，出现了SOPC系统，它代表着嵌入式系统发展的新方向。

芯片设计工作的承担者正由传统的专业芯片设计机构向个人转变，显然，谁能早一步掌握这门技术，谁就能在激烈的竞争中处于更加有利的位置。

而Verilog HDL硬件描述语言正是掌握这门技术的必备基础之一，Verilog HDL硬件描述语言是一种以文本形式来描述数字系统硬件结构和行为的语言，是目前世界上最流行的一种硬件描述语言，用它可以表示逻辑电路图、逻辑表达式，还可以表示数字逻辑系统所完成的逻辑功能。

本书共分11章，内容分别为：第1章 Verilog HDL层次化设计；第2章 Verilog HDL基本语法；第3章 Verilog HDL行为描述；第4章 组合逻辑建模；第5章 时序逻辑建模；第6章 行为级仿真模型建模；第7章 各层次Verilog HDL描述形式与电路建模；第8章 任务和函数；第9章 编译预处理；第10章 Verilog HDL设计与综合中的陷阱；第11章 异步设计与同步设计的时序分析。

<<Verilog HDL数字系统设计及实>>

内容概要

本书介绍硬件描述语言verilog hdl及电路设计方法，共11章，主要内容包括：verilog层次化设计、verilog基本语法、verilog行为描述、组合逻辑建模、时序逻辑建模、为级仿真模型建模、各层次verilog描述形式与电路建模、任务和函数、编译预处理、verilog设计与综合中的陷阱、异步设计与同步设计的时序分析。

本书配套实验，提供电子课件和习题参考答案。

本书可作为高等学校电子信息类相关课程的教材，也可供相关工程技术人员学习参考。

<<Verilog HDL数字系统设计及实>>

书籍目录

第1章 verilog hdl层次化设计	1.1 一个简单的例子——4位全加器的设计	1.2 模块和端口	1.2.1 模块定义	1.2.2 端口定义	1.2.3 模块实例化	1.3 层次化设计思想	1.4 testbench的概念	1.5 仿真和综合	本章小结	思考与练习										
第2章 verilog hdl基本语法	2.1 词法约定	2.1.1 空白符	2.1.2 注释	2.1.3 操作符	2.1.4 标识符与关键字	2.2 数据类型	2.2.1 逻辑值与常量	2.2.2 逻辑强度	2.2.3 线网类型	2.2.4 变量类型	2.2.5 向量	2.2.6 数组	2.2.7 参数	2.3 表达式	2.3.1 操作数	2.3.2 操作符	2.3.3 位宽处理	2.3.4 表达式的综合	本章小结	思考与练习
第3章 verilog hdl行为描述	第4章 组合逻辑建模	第5章 时序逻辑建模	第6章 行为级仿真模型建模	第7章 各层次verilog hdl描述形式与电路建模	第8章 任务和函数	第9章 编译预处理	第10章 verilog hdl设计与综合中的陷阱	第11章 异步设计与同步设计的时序分析	参考文献											

<<Verilog HDL数字系统设计及实>>

章节摘录

插图：在定义端口时，各个端口的定义顺序没有任何限制，可先定义输出端口，再定义输入端口。在用普通风格进行端口定义时，端口声明列表和端口定义的排列顺序也可以不同。

1.2.3 模块实例化在例1.1中提到了模块的实例化。

模块定义中是不允许嵌套定义模块的，模块之间的相互调用只能通过实例化来实现。

定义好的模块可以视为一个模板，使用该模板可以创建一个对应的实际对象。

当一个模块被调用时，Verilog HDL语言可以根据模板创建一个唯一的模块对象，每个对象都有自己的名字、参数、端口连接关系等。

使用定义好的模板创建对象的过程称为实例化（Instantiation），创建的对象称为实例（Instance）。

每个实例必须有唯一的名字。

图1.3所示为对一位加法器进行多次实例化来构建四位加法器的示意图。

通过多次实例化相同的模块，实际上在电路中设计了4个相同的1位加法器，只是它们在电路中的名字和连接关系各不相同。

对已定义好的模块进行实例化引用的语法格式如下：模块名 实例名（端口连接关系列表）；在实例化时，可以用两种方式书写端口连接关系列表。

第一种方式是命名端口连接方式，其语法格式为模块名 实例名（.端口名（连接线1），.端口名2（连接线2），...）；用命名端口的方式进行连接，每个连接关系用一个点开头，然后是需要进行连接的模块的端口名，端口名后面在括号中指定该端口需要连接到当前层次模块中的哪个信号。

编辑推荐

《Verilog HDL数字系统设计及实践》是新编电气与电子信息类规划教材。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>