

<<高速电路设计与仿真分析>>

图书基本信息

书名：<<高速电路设计与仿真分析>>

13位ISBN编号：9787121111297

10位ISBN编号：7121111292

出版时间：2010-7

出版时间：电子工业出版社

作者：邵鹏

页数：276

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<高速电路设计与仿真分析>>

前言

顾名思义，本书讲述如何使用cadence工具进行高速电路系统设计，以及利用仿真分析对设计进行指导和验证。

面对电子、信息技术的飞速发展和层出不穷的市场需求，必须由硬件工程师利用最新的工具，使用前沿的科技产品，把这些奇妙的想法付诸实践，把一个概念或者设想以可以看见、可以触摸的物质形式展现给社会，来影响人们的生活。

也正是从这个意义上讲，使得这么多年来，我一直以平淡和愉快的心情从事着硬件设计工作。

直到今天，在积攒了足够的经验和冲动后，促使我来完成这本书的写作。

电路设计，尤其是现代高速电路系统的设计，是一个随着电子技术而日新月异的工作，具有很强的趣味性，也具有相当的挑战性。

而目前，市场上还没有一个从实践出发、结合高速电路设计理论的设计指导书，所以我希望借助本书使得现在的硬件工程师更好地掌握这项技术，也希望通过我自己的经验分享，使得高速电路系统设计看起来没有那么神秘，从而吸引更多的电子技术人员加入到这个行业，通过我们的双手让这个世界变得更加美好。

首先需要指出的是，本书是高速电路系统设计和仿真技术的实践总结和设计指导，而并不是一本高速电路理论研究书籍。

因此，也就决定了本书中所提到高速信号理论是前人研究成果的总结和借用。

本书并不对这些理论进行推导和研究，如果读者对这些高速信号理论感兴趣，请参阅与此相关的专业理论书籍。

之所以要在本书中提及这些高速信号理论，是因为从全书结构上考虑，使读者在阅读本书的过程中，能够由浅入深、由理论指导到实践应用地进行循序渐进的学习，并对高速电路系统设计的一些技巧和方法有比较深刻的理解和掌握。

<<高速电路设计与仿真分析>>

内容概要

电路设计，尤其是现代高速电路系统的设计，是一个随着电子技术的发展而日新月异的工作，具有很强的趣味性，也具有相当挑战性。

本书的目的是要使电子系统设计工程师们能够更好地掌握高速电路系统设计的方法和技巧，跟上行业发展要求。

因此，本书由简到难、由理论到实践讲述了如何使用Cadence工具进行高速电路系统设计，以及利用仿真分析对设计进行指导和验证。

本书定位于那些希望挑战高速电路系统设计的工程师，他们应该已经具备了相应的电子系统设计的基本知识和技能。

<<高速电路设计与仿真分析>>

作者简介

邵鹏

2006年3月至今：IBM中国研究院高级研究员

2004年3月至2006年3月：Intel中国研究中心高级研究员研究兴趣和实践经验包括：

Manv-C0re系统结构研究

软硬件协同仿真技术Hardware-software Co-simulaton

基于IBM，Intel，AMD等不同架构的系统设计

高速复杂系统设计及SI，PI，EMC仿真分析技术

<<高速电路设计与仿真分析>>

书籍目录

第1章 高速系统设计简介 1.1 PCB设计技术回顾 1.2 什么是“高速”系统设计 1.3 如何应对高速系统设计 1.3.1 理论作为指导和基准 1.3.2 实践经验积累 1.3.3 时间效率平衡 1.4 小结第2章 高速系统设计理论基础 2.1 微波电磁波简介 2.2 微波传输线 2.2.1 微波等效电路物理量 2.2.2 微波传输线等效电路 2.3 电磁波反射 2.4 微波传输介质 2.4.1 微带线Microstrip Line 2.4.2 微带线的损耗 2.4.3 带状线Strip Line 2.4.4 同轴线Coaxial Line 2.4.5 双绞线Twist Line 2.4.6 差分传输线 2.4.7 差分阻抗 2.5 “阻抗”的困惑 2.5.1 阻抗的定义 2.5.2 为什么要考虑阻抗 2.5.3 传输线结构和传输线阻抗 2.5.4 瞬时阻抗和特征阻抗 2.5.5 特征阻抗和信号完整性 2.5.6 为什么是50 2.6 阻抗的测量 2.7 “阻抗”的困惑之答案 2.8 小结第3章 信号完整性简介 3.1 什么是信号完整性 3.2 信号完整性问题分类 3.3 反射的产生和预防 3.3.1 反射的产生 3.3.2 反射的消除和预防 3.3.2.1 匹配 3.3.2.2 拓扑结构设计 3.4 串扰的产生和预防 3.4.1 串扰的产生 3.4.2 串扰的预防与消除 3.5 电源完整性分析 3.5.1 电源系统设计目标 3.5.2 电源系统设计方法 3.5.3 电容的理解 3.5.4 SSN分析和应用 3.6 电磁兼容性EMC和电磁干扰EMI 3.7 影响信号完整性的其他因素 3.8 小结第4章 Cadence高速系统设计工具 4.1 Cadence高速系统设计流程 4.2 约束管理器Constrain Manager 4.3 SigXplorer信号完整性分析工具 4.3.1 S参数 (Scattering parameters) 4.3.2 过孔模型生成 (Via Modeling) 4.3.3 通道分析CA (Channel Analysis) 4.4 前仿和后仿第5章 Cadence高速系统设计流程及工具使用 5.1 高速电路设计流程的实施条件分析 5.2 IBIS模型和DML模型 5.2.1 IBIS模型介绍 5.2.2 IBIS文件介绍 5.2.3 DML模型 5.2.4 如何获得IBIS模型 5.2.5 在Cadence中使用IBIS模型 5.2.6 IBIS2 SigNoise的警告和错误参考 5.3 仿真库的建立和设置 5.4 仿真分析条件设置 5.4.1 Cross-section——PCB叠层设置 5.4.2 DC Nets——直流电压设置 5.4.3 Devices——器件类型和管脚属性设置 5.4.4 SI Models——为器件指定模型 5.4.5 SI Audit——仿真条件的检查 5.5 系统设计和 (预) 布局 5.6 使用SigXP进行仿真分析 5.6.1 拓扑结构抽取 5.6.2 在SigXP中进行仿真 5.6.2.1 设置激励和仿真类型 5.6.2.2 设置仿真参数 5.6.2.3 查看仿真结果 5.6.2.4 为什么要进行参数扫描仿真 5.7 约束规则生成 5.7.1 简单约束设计——Prop Delay 5.7.2 拓扑约束设计——Wiring 5.7.3 时序相关约束设计——Switch-Settle Delay 5.8 约束规则的应用 5.8.1 层次化约束关系 5.8.2 约束规则的映射 5.8.3 Constrain Mananer的使用 5.9 布线后的仿真分析和验证 5.9.1 布线后仿真的必要性 5.9.2 布线后仿真流程 5.10 电源完整性设计 5.10.1 电源完整性设计方法 5.10.2 电源完整性设计分析步骤 5.10.3 多节点仿真分析 5.10.4 电容的布局和布线 5.10.5 合理认识电容的有效去耦半径 5.11 SSN的设计分析 5.12 小结第6章 高速系统设计实例设计分析 6.1 设计实例介绍 6.2 DDR设计分析 6.2.1 DDR规范的DC和AC特性 6.2.2 DDR规范的时序要求 6.2.3 DDR芯片的电气特性和时序要求 6.2.4 DDR控制器的电气特性和时序要求 6.3 仿真库的建立 6.3.1 DDR芯片的IBIS文件处理 6.3.2 FPGA的IBIS模型文件处理 6.3.3 仿真库的建立 6.4 仿真条件设置——Setup Advisor 6.4.1 设置叠层和阻抗特性 6.4.2 设置电压 6.4.3 器件类型和模型设置 6.5 (预) 布局 6.6 仿真约束的生成和实施 6.6.1 网络整理和仿真对象规划 6.6.2 结构抽取与仿真分析 6.6.3 DDR地址总线约束定义 6.6.4 DDR数据总线仿真分析和约束 6.6.4.1 DDR数据总线仿真分析 6.6.4.2 DDR数据总线时序仿真分析 6.6.5 DDR数据总线约束定义 6.6.6 约束的时序验证 6.7 约束实施和布线 6.8 布线后的仿真验证 6.9 DDR总线的其他分析技术 6.9.1 DDR2和DDR3介绍 6.9.2 DDR2仿真分析设计方法 6.9.3 DIMM系统设计分析方法 6.10 电源完整性——多节点仿真分析 6.11 灵活使用Cadence高速设计流程第7章 高速串行差分信号仿真分析及技术发展挑战 7.1 高速串行信号介绍 7.2 Cadence中高速串行信号仿真分析流程和方法 7.2.1 系统级设计 7.2.2 互连设计和S参数 7.2.3 通道分析和预加重设计 7.2.4 时域分析和验证 7.3 3.125Gbps差分串行信号设计实例仿真分析 7.3.1 设计用例说明 7.3.2 设计用例解析 7.3.3 设计用例的使用 7.4 高速串行信号设计挑战 7.4.1 有损传输线和PCB材料的选择 7.4.2 高频差分信号的布线和匹配设计 7.4.3 过孔的Stub效应 7.4.4 连接器信号分布 7.4.5 预加重和均衡 7.4.6 阻抗, 还是阻抗 7.4.7 6 Gbps, 12 Gbps ! 然后 7.5 5Gbps以上的高速差分串行信号仿真和IBIS-AMI模型 7.5.1 5 Gbps以上的高速差分串行信号仿真 7.5.2 IBIS-AMI模型 7.6 抖动 (Jitter) 7.6.1 认识抖动 (Jitter) 7.6.2 实时抖动分析 7.6.3 抖动各分量的典型特征第8章 实战后的思考参考书目术语和缩略词

<<高速电路设计与仿真分析>>

章节摘录

在很多电子工程师的概念中，设计一个电子系统，我们更应该注重原理，只要原理设计正确，那么在系统实现的时候就不会有大问题。

没错，任何一个系统的设计过程中，如果原理出了问题，是不可挽救的，但原理的正确性只是一个系统正确工作的最基本的要求，在高速系统中，只关心这个是远远不够的。

在高速系统中，随着系统时序的要求越来越严格，我们关心的不仅仅是信号连接的正确性问题，更要关心在某个时刻，某个电气连接点上电压和电流的瞬时关系，这些电压和电流决定了高速系统中的所有性能。

而传输线上的电压、电流的瞬时关系完全取决于传输线本身的阻抗特性。

可以说，在高速系统中，所有的工作特性都取决于组成系统各部分的阻抗特性。

换句话说，在高速系统中，所有的现象都可以用阻抗特性来解释。

<<高速电路设计与仿真分析>>

媒体关注与评论

在本书中，作者根据自己多年来从事高速电路设计与仿真工作的经验，从信号完整性基本理论入手，结合当今方兴未艾的DDR_X和高速Serdes系统设计实例，如庖丁解牛般地为读者剖析了高速电路设计与仿真的设计方法和手段。

然而，作者并没有将这些内容进行简单枯燥的罗列，而是穿插在实例设计和软件的使用过程中。本书的编排逻辑清晰、结构紧凑，在展示设计实例的过程中，穿插了作者的实践经验总结和心得体会。

——胡建伟 Cadence中国分公司北京办事处资深应用工程师，Mentor Graphics亚太区PCB产品技术顾问

<<高速电路设计与仿真分析>>

编辑推荐

在《高速电路设计与仿真分析：Cadence实例设计详解》中，作者根据自己多年来从事高速电路设计与仿真工作的经验，从信号完整性基本理论入手，结合当今方兴未艾的DDRx和高速Serdes系统设计实例，如庖丁解牛般地为读者剖析了高速电路设计与仿真的设计方法和手段。然而，作者并没有将这些内容进行简单枯燥的罗列，而是穿插在实例设计和软件的使用过程中。本书的编排逻辑清晰、结构紧凑，在展示设计实例的过程中，穿插了作者的实践经验总结和心得体会。

<<高速电路设计与仿真分析>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>