第一图书网, tushu007.com

<<嬉戏曲>>

图书基本信息

书名：<<嬉戏曲>>

13位ISBN编号：9787121107412

10位ISBN编号：7121107414

出版时间：2010-05

出版时间：电子工业出版社

作者：乌木

页数：430

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：http://www.tushu007.com

前言

随着电子技术、计算机应用技术和EDA技术的不断发展，利用FPGA／CPLD进行数字系统的开发已被广泛应用于通信、航天、医疗电子、工业控制等领域。
FPGA／CPLD具有功能强大，开发周期短、投资小，便于修改及开发工具智能化等特点。
近年来，FPGA／CPLD市场发展迅速，并且随着电子工艺不断改进，低成本高性能的FPGA／CPLD器件推陈出新，从而促使了FPGA／CPLD成为当今硬件设计的首选方式之一。
熟练掌握FPGA／CPLD设计技术已经是电子设计工程师的基本要求。
Verilog HDI。
语言作为国际标准的硬件描述语言，已经成为工程技术人员和高校学生的必备技能。
本书例子中的文本编辑均采用Verilog HDL语言编写，并且书中实例均通过仿真和硬件测试。
本书主要以实例为主来介绍以Altera公司推出的Quartus II 9.0为设计平台的FPGA／CPI。
D数字系统设计。
书中的例子包含简单的数字逻辑电路实例、数字系统设计实例，以及复杂数字系统设计实例，由浅入深地介绍了采用Quartus II进行数字系统开发的设计流程、设计思想和设计技巧。
本书分为12章和1个附录，其中第l章和第2章主要介绍Quartus II 9.0的开发流程和设计方法；第3章介绍第三方仿真工具ModelSim和综合工具Synplify的使用；第4章～第8章以数字电路的设计（包括门电路、组合逻辑电路、触发器、时序逻辑电路）为例，介绍原理图编辑、文本编辑及混合编辑的设计方法，同时也巩固了数字电路的基础知识；第9章介绍一些课程设计中涉及的数字系统设计实例，以便读者更深入地掌握Quartus II 9.0的设计方法和Veilog HDL语言的熟练运用；第10章介绍宏功能模块，以及IP核的使用方法和简单的范例；第11章和第12章给出了两个大型数字系统的设计实例，以使读者更深入地掌握数字系统的设计方法；附录为本书实验开发箱的有关说明。
本书由周润景和苏良碧编著。
其中，苏良碧编写了第3章，其他章节及附录由周润景教授负责编写，全书由周润景统稿、定稿。
参加编写的还有张丽娜、张红敏、张丽敏、宋志清、刘培智、陈雪梅、陈艳梅、袁伟亭、景晓松、郝晓霞、张斐、宋建华和张均。
任冠中、丁莉、李琳、胡训智等同学参与了本书例子的设计与验证工作，在此表示感谢。
本书的例子经过北京百科融创教学仪器设备有限公司开发的RC-EDA／SOPC-IV实验箱的验证，对该公司的支持表示感谢。
由于作者水平有限，书中难免存在错误和不足之处，敬请读者批评指正。

第一图书网, tushu007.com

内容概要

本书以实例详解的方式介绍以Altera公司推出的QuanusII 9．0为设计平台的FPGA／CPLD数字系统设计。
书中的实例包括简单的数字逻辑电路实例、数字系统设汁实例，以及复杂数字系统设计实例，由浅入深地介绍了采用Quanus II进行数字系统开发的没计流程、设计思想和设计技巧。
　本书适合从事数字系统设计的技术人员阅读，也可作为高等学校电子、通信、自动化等相关专业的教学用书。

第一图书网, tushu007.com

书籍目录

第1章 Altera Quartus II开发流程 1.1 Quartus II软件综述 1.2 设计输入 1.3 约束输入 1.4 综合 1.5 布局布线 1.6 仿真 1.7 编程与配置 第2章 Quartus II的使用 2.1 原理图和图表模块编辑 2.2 文本编辑 2.3 混合编辑（自底向上） 2.4 混合编辑（自顶向下） 第3章 第三方EDA工具的使用 3.1 第三方EDA工具的简介 3.2 ModelSim仿真工具的使用 3.3 Synplify/Synplify Pro综合工具的使用 第4章 门电路设计范例 4.1 与非门电路 4.2 或非门电路 4.3 异或门电路 4.4 三态门电路 4.5 单向总线缓冲器 4.6 双向总线缓冲器 4.7 使用always过程语句描述的简单算术逻辑单元 第5章 组合逻辑电路设计范例 5.1 编码器 5.2 译码器 5.3 数据选择器 5.4 数据分配器 5.5 数值比较器 5.6 加法器 5.7 减法器 5.8 乘法器 5.9 七人投票表决器 第6章 触发器设计范例 6.1 RS触发器 6.2 JK触发器 6.3 D触发器 6.4 T触发器 第7章 时序逻辑电路设计范例 第8章 存储器设计范例 第9章 数字系统设计范例 第10章 可参数化宏模块及IP核的使用 第11章 基于FPGA的射频热疗系统 第12章 基于FPGA的直流电动机伺服系统 附录 ARC-EDA/SOPC实验平台简介

章节摘录

插图：在建立设计时，必须考虑QuartusII软件提供的设计法，如LogicLock功能提供自顶向下和自底向上的设计方法，以及基于块的设计流程。
在自顶向下的设计流程中，整个设计只有一个输出网络表，用户可以对整个设计进行跨设计边界和结构层次的优化处理，且管理容易；在自底向上的设计流程中，每个设计模块具有单独的网络表，它允许用户单独编译每个模块，且单个模块的修改不会影响其他模块的优化。
基于块的设计流程使用EDA设计输入和综合工具分别设计和综合各个模块，然后将各模块整合到QuartusII软件的最高层设计中。
在设计时，用户可根据实际情况灵活使用这些设计方法。
在第2章中，将以具体实例来详细地介绍几种常用的设计方法。
1.3 约束输入建立好工程和设计之后，需要给设计分配引脚和时序约束。
可以使用分配编辑器、“ Setting ”对话框、 ’ FimeQuest分析器、引脚规划器、设计划分窗口和时序逼近平面布局来指定初始设计约束，如引脚分配、器件选项、逻辑选项和时序约束等。
另外，还可以选择菜单命令“ Assignments ”一“ ImportAssignments ”或“ ExportAssignments ”，进行导入或导出分配。
OuartusII软件还提供时序向导，协助用户指定初始标准时序约束。
还可以使用Fcl命令或脚本从其他EDA综合工具中导入分配。
图1.3.1 所示是约束和分配输入流程。
分配引脚是将设计文件的.I／0信号指定到器件的某个引脚，设置此引脚的电平标准、电流强度等。
时序约束尤其重要，它是为了使高速数字电路的设计满足运行速率方面的要求，在综合、布局布线阶段附加约束。
要分析工程是否满足用户的速率要求，也需要对工程的设计输入文件添加时序约束。
时序分析工具是以用户的时序约束判断时序是否满足设计要求的标准，因此要求设计者正确输入约束，以便得到正确的时序分析报告。
附加约束还能提高设计的工作速率，它对于分析设计的时序是否满足设计要求非常重要，而且时序约束越全面，对于分析设计的时序就越有帮助。

第一图书网, tushu007.com

编辑推荐

《基于Quartus II的数字系统Verilog HDL设计实例详解》：EDA应用技术

第一图书网, tushu007.com

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:http://www.tushu007.com