

<<现代逻辑设计>>

图书基本信息

书名：<<现代逻辑设计>>

13位ISBN编号：9787121014475

10位ISBN编号：7121014475

出版时间：2005-8

出版时间：电子工业出版社

作者：兰迪·H·卡茨

页数：607

字数：899000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<现代逻辑设计>>

内容概要

本书保持第一版注重介绍数字逻辑设计的基本内容、概念和方法这一特点，又结合目前数字设计技术的发展，更新了相应的硬件技术，加入了最新的可编程逻辑技术的知识，还引入了电子设计自动化的设计工具，通过使用目前在数字逻辑设计中占主导地位的硬件描述语言Verilog描述了一些典型的设计实例，帮助读者和工程师用硬件描述语言进行更深入的数字系统设计。

全书共分三部分：第1章是对逻辑设计的整体概述；第2章至第5章涵盖组合逻辑的内容；第6章至第10章则是有关时序逻辑的介绍。

本书结构安排合理，清楚地定义了概念、技术、工具和实际问题，提供了大量的设计实例，并用这些例子明确论述了设计经验和规则。

本书非常适合作为大专院校数字逻辑设计课程的教材，也可作为从事数字逻辑设计的工程技术人员的参考书。

<<现代逻辑设计>>

作者简介

兰迪·H·卡茨，在加州大学伯克利分校获得硕士和博士学位。
他现在已经是在UMC公司的特聘教授，主要从事电子工程及计算机科学方面的研究。
卡茨教授是ACM和IEEE的会员、国家工程学院和美国艺术与科学学院的成员。
他曾发表过230余篇技术文章并赢得了无数的荣誉。
1987年，他与

<<现代逻辑设计>>

书籍目录

第1章 绪论	1.1 对书名的仔细分析	1.1.1 设计	1.1.2 逻辑设计	1.1.3 现代逻辑设计	1.2 逻辑设计简史	1.3 计算	1.3.1 开关、继电器和电路	1.3.2 晶体管	1.3.3 数字表示法	1.3.4 编码
1.4 实例	小结	其他读物	习题第2章 组合逻辑	2.1 输出是输入的函数	2.1.1 组合逻辑的定义	2.1.2 组合逻辑实例	2.2 布尔逻辑的定律和定理	2.2.1 布尔代数的公理	2.2.2 布尔代数的定理	2.2.3 对偶定律和德摩根定律
2.3 布尔公式的实现	2.3.1 逻辑门	2.3.2 逻辑模块和逻辑层次	2.3.3 时间行为和波形	2.3.4 门和连线数目的最小化	2.3.5 实例研究：七段译码器	2.4 两级逻辑	2.4.1 规范形式	2.4.2 不完全确定函数	2.5 两级简化的动机	2.5.1 布尔表达式的图形化
2.5.2 布尔立方体	2.5.3 卡诺图	2.6 多级逻辑	2.7 多级最简的动机	2.7.1 因式分解形式	2.7.2 多级简化标准	小结	其他读物	习题第3章 组合逻辑分析	3.1 两级简化	3.1.1 布尔最简的过程
3.1.2 重温卡诺图：五变量和六变量函数	3.2 两级简化的自动化	3.2.1 Quine-McCluskey法	3.2.2 Espresso法	3.2.3 S-o-P和P-o-S逻辑网络的实现	3.3 多级简化	3.4 多级简化的自动化	3.4.1 多级逻辑优化方法	3.4.2 多级逻辑网络的实现	3.5 组合网络的时间响应	3.5.1 门延时
3.5.2 时间波形	3.5.3 脉冲整形电路分析	3.5.4 冒险和毛刺	3.5.5 两级网络的冒险检测和消除	3.5.6 多级网络的静态冒险	3.5.7 静态无冒险多级电路的设计	3.5.8 动态冒险	3.6 硬件描述语言	3.6.1 结构描述	3.6.2 行为描述	3.6.3 延时
3.6.4 事件驱动仿真	小结	其他读物	习题第4章 组合逻辑技术	4.1 历史	4.1.1 从开关到集成电路	4.1.2 封装逻辑、可重构性和可编程逻辑	4.1.3 性能技术比较	4.2 基本逻辑元件	4.2.1 固定逻辑	4.2.2 查找表
4.2.3 基于模块的逻辑	4.3 两级和多级逻辑	4.4 其他不是门电路的逻辑	4.4.1 三态输出	4.4.2 集电极开路输出和线与/或逻辑	小结	其他读物	习题第5章 组合逻辑设计的实例研究	5.1 设计过程	5.2 简单的过程线控问题	5.3 电话键盘译码器
5.4 闰年计算器	5.5 逻辑函数单元	5.6 加法器设计	5.6.1 半加器/全加器	5.6.2 超前进位电路	5.6.3 选择进位加法器	5.6.4 BCD加法器设计	5.7 算术逻辑单元设计	5.7.1 ALU单元	5.8 组合乘法器	小结
其他读物	习题第6章 时序逻辑设计	6.1 基本时序逻辑单元	6.1.1 带反馈的简单电路	6.1.2 基本锁存器	6.1.3 时钟	6.1.4 锁存器组合	6.1.5 主从锁存器和边沿触发触发器	6.1.6 时序参数定义	6.2 时序设计方法学	6.2.1 级联触发器及建立/保持/传输时间
6.2.2 时钟漂移	6.2.3 异步输入	6.2.4 亚稳态和同步失败	6.2.5 自定时和速度无关电路	6.3 寄存器	6.3.1 存储寄存器	6.3.2 移位寄存器	6.4 硬件描述语言	小结	其他读物	习题第7章 有限状态机
7.1 计数器	7.1.1 计数器设计过程	7.1.2 具有更复杂计数序列的计数器	7.1.3 自启动计数器	7.1.4 计数器复位	7.1.5 其他类型的计数器	7.2 状态机的概念	7.2.1 奇性或偶性奇偶校验器	7.2.2 状态机的时序	7.3 基本的FSM设计方法	7.3.1 有限状态机设计过程
7.3.2 摩尔型和米利型状态机	7.3.3 状态图表示法	7.3.4 两种状态机的比较	7.4 优化的动机	7.4.1 具有相同I/O行为的两个状态图	7.4.2 最小状态的优点	7.4.3 状态、输入和输出编码	7.4.4 状态机的分解	7.4.5 交通灯控制器	小结	其他读物
习题第8章 有限状态机的分析	8.1 状态最简/化简	8.1.1 行匹配法	8.1.2 蕴含表方法	8.1.3 无关项存在时的等价状态	8.1.4 状态最简无用时的例子W	8.2 状态分配	8.2.1 顺序编码	8.2.2 随机编码	8.2.3 单点编码	8.2.4 面向输出的编码
8.2.5 启发式方法	8.3 有限状态机划分	8.3.1 引入空闲状态来划分有限状态机	8.4 硬件描述语言	小结	其他读物	习题第9章 时序逻辑技术	9.1 基本时序逻辑元件	9.2 用计数器实现FSM设计	9.3 用可编程逻辑实现FSM设计	9.3.1 用ROM实现状态机
9.3.2 基于ROM与PLA的设计的比较	9.3.3 其他可用的PAL结构	9.4 用更复杂的可编程逻辑器件实现FSM设计	9.4.1 PLD：可编程逻辑器件	9.4.2 Altera可擦除可编程逻辑器件	9.4.3 Actel现场可编程门阵列	9.4.4 Xilinx现场可编程门阵列	9.5 实例研究：交通灯控制器	9.5.1 问题分解：交通灯状态机	9.5.2 用PLA/PAL/ROM实现	9.5.3 用计数器实现
9.5.4 用FPGA实现	小结	其他读物	习题第10章 时序逻辑设计的实例研究	10.1 有限输入串识别器	10.2 复杂的计数器	10.3 数字组合锁	10.4 存储控制器	10.4.1 基本RAM：1024×4位静态RAM	10.4.2 动态RAM	10.4.3 其他类型的DRAM
10.4.4 详细的SRAM时序	10.4.5 简单存储控制器的设计	10.5 连续乘法器	10.6 串行线发送器/接收器	小结	其他读物	习题附录A 数制附录B 基本电子线路附录C 触发器类型索引				

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>