

<<基于Verilog HDL的数字系统>>

图书基本信息

书名：<<基于Verilog HDL的数字系统应用设计>>

13位ISBN编号：9787118042818

10位ISBN编号：7118042811

出版时间：2006-1

出版时间：国防工业出版社

作者：王钊，卓兴旺

页数：287

字数：428000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<基于Verilog HDL的数字系统>>

内容概要

本书结合实践系统地介绍了基于Verilog数字逻辑设计相关的内容,包括工具使用、RTL设计及Testbench的设计。

本书共分为6章。

第1章对数字逻辑设计进行了概述;第2章介绍了常用EDA工具的使用;第3章介绍了RTL设计的相关内容;第4章介绍了功能验证及Testbench相关的内容;第5章结合一个串口配置寄存器的电路对第3章和第4章的内容进行了实践;第6章对数字信号处理中的常用电路进行了讲解。

本书适合对Verilog语法已略有了解的读者阅读,也适于在数字逻辑设计方面摸索多年的工程师参考。

<<基于Verilog HDL的数字系统>>

书籍目录

第1章 逻辑设计发展现状开发流程 1.1 硬件描述语言HDL 1.2 可编程逻辑器件 1.3 基于Verilog的FPGA设计方法及流程 1.4 SOC与IP复用第2章 常用FPGA开发工具的使用 2.1 仿真工具Modelsim 2.2 综合工具Synplify Pro 2.3 集成开发环境QuartusII第3章 RTL级建模 3.1 硬件意识 3.2 RTL级语法 3.3 常用电路的设计 3.4 有限状态机的设计 3.5 FPGA结构 3.6 时序分析基本概念 3.7 同步设计 3.8 约束 3.9 如何提高电路的工作频率 3.10 多时钟域处理 3.11 设计时序 3.12 RTL级设计的其他注意事项第4章 Testbench 4.1 功能验证 4.2 Testbench概述 4.3 行为级的Verilog语言 4.4 激励和响应 4.5 总线功能模型 4.6 Testbench的结构第5章 RS232通信程序的设计 5.1 RS232基础 5.2 设计需求 5.3 模块划分 5.4 RTL级代码 5.5 Testbench 5.6 仿真结果第6章 数字信号处理的Verilog设计 6.1 数字信号处理FPGA实现简介 6.2 数字信号处理基本模块的实现 6.3 FIR滤波器的实现 6.4 数字信号处理程序的仿真验证附录A 相关资源介绍参考文献

<<基于Verilog HDL的数字系统>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>