

<<铁路信号容错技术>>

图书基本信息

书名：<<铁路信号容错技术>>

13位ISBN编号：9787113026349

10位ISBN编号：7113026346

出版时间：1997-01

出版时间：中国铁道出版社

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<铁路信号容错技术>>

内容概要

内容简介

本书围绕铁路信号用的微型计算机系统的高可靠性、高安全性的要求，以容错技术的基本概念、基本知识和基本技术理论为基础，以故障安全技术为主线，详细阐述了故障测试、硬件冗余技术、软件冗余技术、故障安全组合逻辑电路、故障安全时序逻辑电路、自校验逻辑电路、故障安全计算机、软件系统的故障安全等内容。

本书为高等学校自控专业研究生教材或教学参考书，也可供自控专业的工程技术人员学习参考。

<<铁路信号容错技术>>

书籍目录

目录

第一章 总论

1.1容错技术概论

1.2故障安全技术概论

第二章 故障测试

2.1数字电路（或系统）的故障和故障模型

2.2故障测试总论

2.3部件的功能测试

2.4门级的结构测试

2.5其它的故障检测技术

2.6系统级诊断

第三章 硬件冗余技术

3.1冗余技术的基本概念

3.2N模冗余技术

3.3待命储备系统

3.4混合冗余系统

3.5二模冗余系统

3.6局部网络冗余技术

第四章 软件冗余技术

4.1软件可靠性的基本概念

4.2软件的避错技术

4.3容错软件的结构

4.4软件错误检测技术

4.5软件容错技术

第五章 故障安全组合逻辑电路

5.1基本故障安全逻辑电路的定义

5.2单调逻辑函数

5.3基本故障安全逻辑电路的条件

5.4故障安全组合逻辑电路

5.5实现基本故障安全逻辑电路应该考虑的主要问题

5.6电阻—晶体管调变式故障安全逻辑电路

5.7三值故障安全逻辑电路

5.8交替逻辑电路及其故障安全性

第六章 故障安全的时序逻辑电路

6.1时序电路和状态机

6.2故障安全（FS）时序电路基本概念

6.3用对称出错元件（SFE）和波格码设计FS同步时序电路

6.4用对称出错元件（SFE）和等重码 kCn_i 设计FS同步时序电路

6.5用SFE元件和集合分划理论设计FS同步时序电路

6.6N - FS时序电路

第七章 自校验逻辑电路

7.1概述

7.2自校验逻辑电路的特点及一般结构模型

7.3自校验逻辑电路的定义

7.4完全自校验检测器

<<铁路信号容错技术>>

- 7.5双轨代码完全自校验检测器
- 7.6奇偶校验码完全自校验检测器
- 7.7m/n编码的完全自校验检测器
- 7.8强故障保险逻辑
- 7.9自校验和故障安全的关系
- 第八章 故障安全计算机
- 8.1概述
- 8.2铁路信号设备微型计算机化的特点
- 8.3单机闭环自诊断故障安全计算机
- 8.4采用单机软件冗余的故障安全计算机
- 8.5双模紧密耦合总线同步式故障安全计算机
- 8.6双模时差同步式故障安全计算机
- 8.7双模软件冗余的故障安全计算机
- 8.8三模紧密耦合总线同步式故障安全计算机
- 8.9三模松散耦合式故障安全计算机
- 8.10故障安全输入接口
- 8.11故障安全输出接口
- 8.12故障安全传输
- 第九章 软件系统的故障安全
- 9.1软件系统故障安全概述
- 9.2软件故障安全性需求分析
- 9.3软件系统的故障安全性设计准则
- 9.4软件系统安全性验证和评估
- 主要参考文献

<<铁路信号容错技术>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>