

<<数字设计>>

图书基本信息

书名：<<数字设计>>

13位ISBN编号：9787040213799

10位ISBN编号：7040213796

出版时间：2007-4

出版范围：高等教育

作者：韦克利

页数：895

字数：1200000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<数字设计>>

内容概要

第1章给出了本书中的一些基本定义和基础规则，无论它们是否重要。

第2章介绍了二进制数制系统和编码。

第3章描述了数字电路的操作，重点描述了逻辑器件的外部电气特性。

第4章讲解了组合逻辑的设计原理，包括开关代数与组合电路分析、综合和最小化。

第5章给出了基于硬件描述语言的设计的基本介绍，接下来提供了三种基本硬件描述语言ABEL、VHDL和 Verilog的学习指导。

第6章首先讨论了数字系统的文档标准，这通常是开始真正的电路设计时最重要的部分。

第7章讲述的是时序逻辑设计原理，从介绍锁存器和触发器开始。

第8章的内容是介绍同步时序电路的设计实践。

第9章介绍了存储器件、CPLD和FPGA的有关知识。

本书的大部分章节都包括了参考文献、练习题和习题。

<<数字设计>>

作者简介

John F.Wakerly, 于美国斯坦福大学获得电子工程博士学位。
他是思科公司广域网业务部主管工程项目的副总裁, 且担任斯坦福大学的兼职教授。
著有关于数字设计、微型计算机体系结构、计算机可靠性等方面的50余部著作, 并在网络领域拥有13项专利。

<<数字设计>>

书籍目录

前言 1 引论 1.1 关于数字设计 1.2 模拟与数字 1.3 数字器件 1.4 数字设计中的电子方面 1.5 数字设计中的软件方面 1.6 集成电路 1.7 可编程逻辑器件 1.8 专用集成电路 1.9 印刷电路板 1.10 数字设计层次 1.11 以游戏之名 1.12 进一步探讨 练习题2 数字系统和编码 2.1 进位计数制 2.2 八进制数和十六进制数 2.3 常见的进位计数制转换 2.4 非十进制数的加法和减法 2.5 负数的表示法 2.6 二进制补码的加法和减法 2.7 反码的加法和减法 2.8 二进制乘法 2.9 二进制除法 2.10 十进制数的二进制编码 2.11 格雷码 2.12 字符编码 2.13 行为、条件和状态的编码 2.14 n立方和距离 2.15 检错码和纠错码 2.16 用于串行数据传输和存储的编码 参考文献 练习题 习题 3 数字电路 3.1 逻辑信号和门 3.2 逻辑系列 3.3 CMOS逻辑 3.4 CMOS电路的电气特性 3.5 CMOS的静态电气特性 3.6 CMOS的动态电气特性 3.7 其他CMOS输入输出结构 3.8 CMOS逻辑系列 3.9 低压CMOS逻辑和接口 3.10 双极逻辑 参考文献 练习题 习题4 组合逻辑的设计原理 4.1 开关代数 4.2 组合电路分析 4.3 组合电路综合 4.4 时序冒险 参考文献 练习题 习题5 硬件描述语言 5.1 基于硬件描述语言的数字设计 5.2 硬件描述语言ABEL 5.3 硬件描述语言VHDL 5.4 硬件描述语言Verilog 参考文献 练习题 习题6 组合逻辑的设计实践 6.1 文档标准 6.2 电路时序 6.3 复合型可编程逻辑阵列PLD 6.4 译码器 6.5 编码器 6.6 三态器件 6.7 多路复用器 6.8 异或门和奇偶校验电路 6.9 比较器 6.10 加法器、减法器 and 算术逻辑部件 6.11 组合乘法器 参考文献 练习题 习题7 时序逻辑设计原理 7.1 双稳态元件 7.2 锁存器和触发器 7.3 时序同步状态机分析 7.4 时序同步状态机设计 7.5 用状态图设计状态机 7.6 用转换表综合状态机 7.7 其他状态机设计实例 7.8 分解状态机 7.9 反馈时序电路分析 7.10 反馈时序电路设计 7.11 ABEL时序电路设计特性 7.12 用VHDL实现时序电路设计 7.13 用Verilog实现时序电路设计 参考文献 练习题 习题8 时序逻辑设计实践 8.1 时序电路的文档标准 8.2 锁存器和触发器 8.3 时序PLD 8.4 计数器 8.5 移位寄存器 8.6 迭代电路与时序电路 8.7 同步设计方法 8.8 同步设计中的障碍 8.9 同步器失败和亚稳态 参考文献 练习题 习题9 存储器、CPID和FPGA 9.1 只读存储器 9.2 读/写存储器 9.3 静态RAM 9.4 动态RAM 9.5 复杂可编程逻辑器件 9.6 现场可编程门阵列 参考文献 练习题 习题索引

章节摘录

Many people helped make this book possible. Most of them helped with the first three editions and are acknowledged there. Preparation of the fourth edition has been a very lonely task, but it was made easier by my friends Prem Jain and Mike Vampi at Cisco Systems. They and the company made it possible for me to cut back my commitment at Cisco to less than half time for the ten months that it took to prepare this revised edition.

For the ideas on the "principles" side of this book, I still owe great thanks to my teacher, research advisor, and friend Ed McCluskey. On the "practices" side, Dave Raaum, one of the leading members of my "Digital Designers Hall of Fame" reviewed the new Verilog material and provided many suggestions. Since the third edition was published, I have received many helpful comments from readers. In addition to suggesting or otherwise motivating many improvements, readers have spotted dozens of typographical and technical errors whose fixes are incorporated in this fourth edition. My sponsoring editor at Prentice Hall, Tom Robbins, deserves thanks for shepherding this project over the past years. Hes the third or fourth editor who has changed jobs after (almost) completing one of my book projects, leading me to wonder whether working with me inevitably leads to burnout or success or both (and if so, then in which order?) . Special thanks go to Toms boss, Marcia Horton, who took over after his departure. If youre reading this, then she did a terrific job of pulling this one out of the fire !

Copy editor and proofreader Jennie Kaufman did a marvelous job of ensuring consistency and catching typos, including several that had been overlooked by me and everyone else since the second or third edition. Production editor Scott Disanno also deserves credit for providing a very smooth interface with the production side of the house and for inspiring me with his very quick response times during the final "crunch" stage of the project.

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>