

<<系统芯片SoC的设计与测试>>

图书基本信息

书名：<<系统芯片SoC的设计与测试>>

13位ISBN编号：9787030256720

10位ISBN编号：7030256727

出版时间：2009-10

出版时间：科学出版社

作者：潘中良

页数：323

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<系统芯片SoC的设计与测试>>

前言

集成电路是信息技术及其设备赖以生存的基石，主要用于处理、存储和传送数字信息与模拟信息。近年来，集成电路设计技术得到了飞速发展，已经可以将一个完整的系统集成到一个单一的芯片中，即系统芯片或片上系统（system on achip，SoC）。

系统芯片是将原先由多个芯片完成的功能，集中到单芯片中完成。

更具体地说，它是在单一硅芯片上实现信号采集、转换、存储、处理和I/O等功能，或者说在单一硅芯片上集成了数字电路、模拟电路、信号采集和转换电路、存储器、（2PU、DSP等，实现了一个系统的功能。

系统芯片自20世纪90年代出现以来，受到了学术界与工业界的极大关注，它具有小型、轻量、多功能、低功耗、高可靠性和低成本等特点，在计算机、通信、工业控制、交通运输、消费类电子等领域的应用十分广泛。

系统芯片并不是各个芯片功能的简单叠加，而是从整个系统的功能和性能出发，用软硬结合的设计和验证方法，利用芯核复用及深亚微米技术，在一个芯片上实现复杂功能。

系统芯片的出现给电路设计、测试、工艺集成、器件、结构，以及其他领域带来了一系列技术上的挑战，主要体现在设计复用、低功耗设计、软硬件协同设计、总线架构、可测性设计、设计验证、物理综合等方面。

系统芯片的设计主要涵盖设计复用技术、软硬件协同设计技术、纳米级电路设计技术。

设计复用主要是芯核设计、基于芯核的系统设计、多芯核的系统级验证与接口综合等。

软硬件协同设计主要是软硬件划分、硬件结构设计、基于硬件的软件结构生成、面向软件的多处理单元设计等。

纳米级电路设计主要是时序综合及时延驱动的逻辑设计、低压低功耗设计等。

本书对系统芯片的设计与测试的关键技术与主要方法进行了论述，共分15章。

各章内容简要介绍如下：第1章说明数字集成电路的设计流程，介绍系统芯片的结构、系统芯片涉及的多种关键技术。

第2章论述系统芯片的设计流程。

<<系统芯片SoC的设计与测试>>

内容概要

系统芯片SoC能实现一个系统的功能，它是从整个系统的功能和性能出发，采用软硬结合的设计和验证方法，利用芯核复用及深亚微米技术，在一个芯片上实现复杂的功能。

系统芯片具有速度快、集成度高、功耗低等特点。

本书详细介绍了系统芯片SoC的设计与测试的关键技术和主要方法。

全书共15章，内容包括：系统芯片的设计模式与流程、系统芯片的总线结构、芯核设计、软硬件协同设计、系统芯片的存储系统设计、系统芯片中模拟/混合信号的设计、系统芯片的低功耗设计、信号完整性、系统芯片的验证、系统芯片的可测性设计、测试调度与测试结构的优化设计、芯核的测试、系统芯片的物理设计、片上网络等。

本书可作为电子、通信、计算机、自动控制等学科高年级本科生和研究生的教材，也适合于从事电子信息、数字系统设计、测试和维护等相关专业的研究人员、工程技术人员学习参考。

<<系统芯片SoC的设计与测试>>

作者简介

潘中良，博士，教授。

电子科技大学（成都）电路与系统专业博士毕业，中山大学博士后出站。

主持或参加了国家自然科学基金项目、国家八五重点科技攻关项目以及省部级科研项目等十余项，在国内外学术期刊与国际会议上发表学术论文五十余篇。

主要从事大规模集成电路的设计与测试、嵌入式系统设计、计算机应用等方面的科研与教学工作。

<<系统芯片SoC的设计与测试>>

书籍目录

前言第1章 绪论 1.1 集成电路的设计流程 1.2 系统芯片的结构 1.3 系统芯片的关键技术 1.3.1 设计复用 1.3.2 低功耗设计 1.3.3 软硬件协同设计 1.3.4 总线架构 1.3.5 可测性设计 1.3.6 设计验证 1.3.7 物理综合第2章 系统芯片的设计模式与流程 2.1 系统芯片的系统级设计 2.2 系统芯片的设计流程 2.3 系统芯片的设计方法学第3章 系统芯片的总线结构 3.1 AMBA总线 3.1.1 先进高性能总线 3.1.2 先进系统总线 3.1.3 先进外设总线 3.1.4 使用AMBA的系统芯片 3.2 Avalon总线 3.2.1 Avalon总线的特征 3.2.2 Avalon信号 3.2.3 Avalon的数据传输 3.3 CoreConnect总线 3.4 Wishbone总线 3.5 OCP总线第4章 芯核设计 4.1 芯核的特征与分类 4.2 芯核的设计流程 4.3 软核与硬核的设计 4.3.1 软核的设计 4.3.2 硬核的设计 4.4 芯核技术标准 4.4.1 VSIA的IP技术标准 4.4.2 IP交付时使用的文档标准/规范 4.4.3 IP芯核可复用接口设计标准 4.4.4 IP知识产权保护 4.5 芯核的质量评估 4.6 基于芯核的系统集成第5章 软硬件协同设计 5.1 软硬件协同设计的过程 5.1.1 软硬件协同设计的流程 5.1.2 软硬件协同设计的关键技术 5.1.3 软硬件协同设计的分类 5.2 系统级规范模型 5.3 系统级多语言建模 5.4 软硬件划分 5.4.1 软硬件划分的基本模型 5.4.2 软硬件划分算法 5.5 软硬件划分的模型精炼 5.5.1 模型精炼的特征 5.5.2 实现模型 5.5.3 精炼的过程第6章 系统芯片的存储系统设计 6.1 DRAM和嵌入式存储器 6.1.1 DRAM存储器 6.1.2 嵌入式存储器 6.2 存储优化与管理 6.2.1 重编序与重映射

第7章 系统芯片中模拟/混合信号的设计第8章 系统芯片的低功耗设计第9章 信号完整性第10章 系统芯片的验证第11章 系统芯片的可测性设计第12章 测试调度与测试结构的优化设计第13章 芯核的测试第14章 系统芯片的物理设计第15章 片上网络参考文献附录 名词缩写表

<<系统芯片SoC的设计与测试>>

章节摘录

集成电路主要用于处理、存储和传送数字信息与模拟信息。

近年来,集成电路设计技术得到了飞速发展,已经可以将一个完整的系统集成到一个单一的芯片中,即系统芯片。

本章将说明集成电路芯片的设计流程,阐述系统芯片的原理及其关键技术。

1.1 集成电路的设计流程 集成电路自问世以来便得到了迅速发展。

1958年,世界上第一块集成电路在美国德州仪器公司(TI)诞生,这块集成电路上只集成了4个晶体管。

1962年世界上出现了第一块集成电路正式商品。

1970年,1Kbit的存储器问世,接着微处理器于1971年投入市场,从此宣告集成电路生产进入大规模集成电路时代。

集成电路具有体积小、重量轻、寿命长和可靠性高等优点,同时成本也相对低廉,便于进行大规模生产。

集成电路大大地促进了电子设备的小型化,与采用单个电子管和晶体管相比,采用集成电路可以大大降低电子设备的功耗与故障发生率,使得复杂功能电子系统的设计和制造成为可能。

自从集成电路发明以来,经历了小规模(SSI)、中规模(MSI)、大规模(LSI)、超大规模(VLSI)和甚大规模(ULSI)等发展过程。

集成电路设计是将系统、逻辑与性能的设计要求转化为具体的物理版图的过程,也是一个把产品从抽象的过程一步步具体化直至最终物理实现的过程。

为了完成这一过程,人们提出了结构化和层次化的设计方法。

结构化的设计方法是把复杂抽象的系统划分成一些可操作的模块,允许多个设计者同时进行设计,而且一些子模块的资源可以共享。

层次化的设计方法是在不同的多个层次上对系统进行设计,它能使复杂的系统简化,并能在不同的设计层次上及时发现错误并加以纠正。

目前,在实际中进行具体的集成电路设计时,主要是通过EDA软件,完成逻辑级描述和电路级描述,形成版图文件,根据版图文件制作掩膜版,在特定的工艺条件下加工制造,封装测试,最后形成集成电路芯片。

集成电路芯片的设计流程如图1.1所示。

<<系统芯片SoC的设计与测试>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>