

<<SystemVerilog硬件设计及>>

图书基本信息

书名：<<SystemVerilog硬件设计及建模>>

13位ISBN编号：9787030198778

10位ISBN编号：7030198778

出版时间：2000-1

出版时间：科学出版社

作者：姚智慧

页数：352

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<SystemVerilog硬件设计及>>

内容概要

本书是介绍SystemVerilog (Verilog-2005) 的实用图书。书中深入浅出地介绍SystemVerilog相比于Verilog新增加的特性，包括新的数据类型、操作符、过程块语句以及适于SoC设计的接口结构，这些新增加的特性大大提高Verilog的高层抽象能力，弥补Verilog底层描述能力强但系统级描述能力弱的缺点。为了进一步说明这些新的数据类型、操作符和过程语句，本书对Verilog语句中的数据类型、操作符以及过程语句的仿真行为进行深入的分析，以便于读者加深对Verilog的理解。此外，本书还介绍SystemVerilog增加的一些系统连接描述方法，相对于Verilog-2001，这些方法可以进一步简化系统连接，提高设计效率。本书提供许多代码例子，这些例子可以从网上下载，有助于读者对SystemVerilog的学习。本书可供具有一定Verilog基础的电路设计工程技术人员使用，同时可作为高等院校相关专业学生参考书。

<<SystemVerilog硬件设计及>>

作者简介

Stuart Sutherland : SystemVerilog和Verilog应用方面的资深专家。

早在1993年电气和电子工程师学会 (IEEE) 标准化工作刚开始时, 就致力于Verilog语言的研究工作, 并同时担任IEEE Verilog标准委员会成员 (任Verilog PLI任务组主席和联合主席) 和IEEE SystemVerilog标准委员会成员 (任SystemVerilog Language Reference Manual一书的编辑) 。

他拥有20多年的硬件设计经验, 以及超过17年的Verilog设计经验, 是Sutherland HDL公司的创始人, 在该公司负责提供专业级的HDL培训服务。

他拥有计算机科学方向电子工程专业学士学位, 是The Verilog PLI Handbook和Verilog—2001 : A Guide to the New Features of the Verilog HDL的作者。

Simon Davidmann : 从1978年开始致力于HDL的研究, 是英国布鲁耐尔大学HILO小组的成员之一。

他在1984年成为Simmons Percussion的实时专业音乐设备的ASIC设计师和嵌入式软件开发人员; 1988年开始研究Verilog, 并成为GDA公司 (Gateway Design Automation) 的第一个欧洲雇员; 在欧洲创建了Chronologic Simulation公司、Virtual Chips公司 (InSilicon公司) 的欧洲办事处, 后来又成为Ambit Design公司的欧洲代理人; 1998年参与创建了Co—Design Automation公司, 并参与开发了SUPERLOG语言。

作为Co—Design公司的CEO, 他在SUPERLOG语言转换到Accellera标准组织, 并成为SystemVerilog前身过程中发挥了重要作用。

David—mann是Accellera SystemVerilog和IEEE 1364 Verilog委员会的成员, 是多个技术公司和EDA公司的顾问和主要成员, 还是伦敦大学Queen Mary学院数字系统系的客座教授。

2005年Davidmann创建了Imperas公司, 担任总裁兼CEO。

Peter Flake : co—Design Automation公司的创始人之一, 是该公司的主要技术人员, SUPERLOG语言的主要缔造者。

2002年Synopsys公司收购Co—Design公司后, 他成为Synopsys公司的科研人员。

Flake在EDA领域的工作生涯超过30年: 当他在英国布鲁耐尔大学和Gen Rad公司时, 就是HILO开发项目的语言架构师和项目领导者, HILO是20世纪80年代早期和中期第一个商用的基于HDL的仿真、故障仿真和时序分析系统。

2005年他成为Imperas公司的首席科学家。

他拥有英国剑桥大学艺术硕士学位, 并在多个学术会议上作过有关HDL的报告。

<<SystemVerilog硬件设计及>>

书籍目录

第1章 SystemVerilog介绍1.1 SystemVerilog起源1.1.1 SystemVerilog标准的发展历程1.1.2 SystemVerilog获得的捐赠1.2 SystemVerilog针对硬件设计的关键增强1.3 小结第2章 SystemVerilog声明的位置2.1 包(package)2.1.1 包的定义2.1.2 引用包的内容2.1.3 综合指导2.2 Sunit编译单元声明2.2.1 编码指导2.2.2 SystemVerilog标识符搜索规则2.2.3 源代码顺序2.2.4 将包导入Sunit的编码原则2.2.5 综合指导2.3 未命名语句块中的声明2.3.1 未命名块中的局部变量2.4 仿真时间单位和精度2.4.1 Verilog编译指令timescale2.4.2 包含时间单位的时间值2.4.3 范围级 (scope—level) 时间单位和精度2.4.4 编译单元的时间单位和精度2.5 小结第3章 SystemVerilog文本值和数据类型3.1 加强的文本值赋值3.2 define增强3.2.1 字符串内的宏变量替换3.2.2 通过宏建立标识符名3.3 SystemVerilog变量3.3.1 对象类型和数据类型3.3.2 SystemVerilog四态变量3.3.3 SystemVerilog两态变量3.3.4 显式及隐式变量和线网类型3.3.5 综合指导3.4 在RTL模型中使用两态类型3.4.1 两态类型的特点3.4.2 两态类型和四态类型仿真3.4.3 在case语句中使用两态类型3.5 数据类型规则的放宽3.6 有符号和无符号修饰符3.7 静态和自动变量3.7.1 静态变量和自动变量的初始化3.7.2 自动变量的综合指导3.7.3 静态和自动变量的使用原则3.8 变量初始化的确定性3.8.1 初始化确定机制3.8.2 时序逻辑的异步输入初始化3.9 强制类型转换3.9.1 静态转换 (编译时转换) 3.9.2 动态强制类型转换3.9.3 综合指导3.10 常数3.11 小结第4章 用户自定义和枚举数据类型4.1 用户自定义类型4.1.1 局部typedef声明4.1.2 共享typedef定义4.1.3 用户自定义类型的命名习惯4.2 枚举数据类型4.2.1 枚举类型标签序列4.2.2 枚举类型标签作用域4.2.3 枚举类型值4.2.4 枚举类型的基类.....第5章 数组、结构体和联合体第6章 SystemVerilog过程块、任务和函数第7章 过程语句第8章 有限状态机建模第9章 层次化设计第10章 接口第11章 一个完整设计的建模第12章 行为级和交易级建模附录A SystemVerilog形式定义 (BNF) 附录B Verilog和SystemVerilog保留关键字附录C SUPERLOG的历史, 即SystemVerilog的开端

<<SystemVerilog硬件设计及>>

编辑推荐

《SystemVerilog硬件设计及建模》提供许多代码例子，这些例子可以从网上下载，有助于读者对SystemVerilog的学习。

《SystemVerilog硬件设计及建模》可供具有一定Verilog基础的电路设计工程技术人员使用，同时可作为高等院校相关专业学生参考书。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>